

CPCI 规范目录（中文）

1 概述	- 1 -
1.1 CPCI 目标	- 1 -
1.2 背景和术语	- 1 -
1.3 预期读者	- 1 -
1.4 CPCI 特性	- 1 -
1.5 应用文献	- 1 -
1.6 管理	- 1 -
1.7 名字和标志的用法	- 1 -
2 特性设置	- 2 -
2.1 外形特征	- 2 -
2.2 连接器	- 3 -
2.3 模块化	- 4 -
2.4 热插拔功能	- 4 -
3 电气需求	- 4 -
3.1 适配器设计准则	- 4 -
3.1.1 退耦需求	- 4 -
3.1.2 CPCI 附加信号	- 5 -
3.1.3 CPCI 端接终端	- 5 -
3.1.4 外围适配器信号端接长度	- 5 -
3.1.5 阻抗特性	- 6 -
3.1.6 系统槽适配器信号端接长度	- 6 -
3.1.7 外围适配器 PCI 时钟信号长度	- 6 -
3.1.8 上拉定位	- 6 -
3.1.9 适配板连接器屏蔽需求	- 7 -
3.2 背板设计准则	- 7 -
3.2.1 阻抗特性	- 7 -
3.2.2 8 插槽背板终端	- 7 -
3.2.3 信号环境	- 8 -
3.2.4 IDSEL 板选信号分配	- 8 -
3.2.5 REQ#/GNT# 信号线分配	- 8 -
3.2.6 PCI 中断绑定	- 9 -
3.2.7 CPCI 附加信号	- 10 -
3.2.8 电源分配	- 12 -
3.2.9 电源去耦	- 13 -
3.2.10 健全 (Healthy #)	- 13 -
3.3 33MHzPCI 时钟分配	- 14 -
3.3.1 背板时钟线路设计准则	- 14 -
3.3.2 系统槽适配板时钟线路设计准则	- 14 -
3.4 64 位设计准则	- 14 -
3.5 66MHz 电气需求	- 16 -
3.5.1 66MHz 适配板设计准则	- 16 -
3.5.2 66MHz 系统槽适配板设计准则	- 16 -
3.5.3 66MHz 背板设计准则	- 16 -
3.5.4 66MHzPCI 时钟分配	- 16 -
3.5.5 66MHz 系统槽适配板时钟线设计准则	- 17 -

3.5.6	66MHz 热插拔	- 17 -
3.6	系统和适配板接地	- 17 -
3.6.1	适配器前面板接地需求	- 17 -
3.6.2	背板接地需求	- 17 -
3.7	CPCI 缓冲器模型	- 18 -
4	机械需求	- 18 -
4.1	适配板需求	- 18 -
4.1.1	3U 板卡	- 18 -
4.1.2	6U 板卡	- 18 -
4.1.3	后面板 I/O 板卡	- 18 -
4.1.4	ESD 静电导出条	- 18 -
4.1.5	ESD 接线柱	- 19 -
4.1.6	剖视图	- 19 -
4.1.7	构件略图和翘曲 (Component outline and warpage)	- 19 -
4.1.8	焊料侧盖	- 20 -
4.1.9	前面板	- 28 -
4.1.10	系统槽识别	- 28 -
4.2	后面板 I/O 适配器需求	- 28 -
4.2.1	机械部件	- 28 -
4.2.2	电源	- 31 -
4.2.3	后面板按键	- 31 -
4.3	背板需求	- 31 -
4.3.1	连接器位置	- 31 -
4.3.2	槽间距	- 31 -
4.3.3	插槽标号	- 32 -
4.3.4	总线段	- 32 -
4.3.5	背板尺寸	- 32 -
5	连接器实现	- 35 -
5.1	概述	- 35 -
5.1.1	连接器位置	- 35 -
5.1.2	构架类型	- 35 -
5.1.3	连接器末端长	- 36 -
5.1.4	背板/板卡可选数量	- 36 -
5.2	J1 (32 位 PCI 信号)	- 36 -
5.3	J2 连接器	- 36 -
5.3.1	外围槽 64 位 PCI	- 36 -
5.3.2	外围槽后面 I/O	- 36 -
5.3.3	系统槽 64 位 PCI	- 36 -
5.3.4	系统槽后面 I/O	- 37 -
5.4	预留的通信引脚	- 37 -
5.5	预留的非通信引脚	- 37 -
5.6	电源引脚	- 37 -
5.7	5V/3.3V PCI 按键	- 37 -
5.8	引脚分配	- 38 -
	CPCI 手册的修订史	- 43 -
	附录	- 43 -

1 概述

1.1 CPCI 目标

CPCI 规范改进自 PCI 电气规范 2.1，应用于工业和嵌入式领域。它使用工业机械组装标准，具有高性能连接技术，可以提供一套最优化系统以便于不同应用。CPCI 在电气方面可以兼容 PCI 规范，允许低成本 PCI 组件

CPCI 规范是 PICMG（PCI 工业计算机制造商联盟）开发并管理的一套开放式规范。PICMG 是一个在嵌入式领域使用 PCI 协议的公司联盟。

1.2 背景和术语

欧式卡

1.3 预期读者

1.4 CPCI 特性

1.5 应用文献

1.6 管理

1.7 名字和标志的用法

PCI 工业计算机制造商联盟允许以下情况使用商标：PICMG，Compact PCI 以及 PICMG，Compact PCI 标识。

任何公司都可以要求同 PICMG 兼容，不论是否是 PICMG 中的成员。

仅有那些在最新的成员权利文档中规定的近期已经交纳了会费的特指成员，自动拥有使用 PICMG 和 Compact PCI 标识的权利。

会员发言人和销售代表可以使用 PICMG 和 Compact PCI 标识来促进会员产品的销售。

PICMG 和 Compact PCI 标识将以黑白插图或彩色插图的形式打印在标识页。包含“PICMG”或“Compact PCI”短语的中心栏必须水平设置且保持其纵横比不变，但是它的大小可以改变。PICMG 和 Compact PCI 标识中不能添加或删除任何一点。

因为 PICMG、Compact PCI 标识和 PICMG、Compact PCI 称谓是 PICMG 联盟的注册商标，接下来的声明将被包含在所有的著作和广告素材中。

2 特性设置

2.1 外形特征

CPCI 板的封装结构基于 IEC 60297-3、IEC 60297-4 以及 IEEE 1101.10 定义的欧式板卡外形。共定义了 3U (100 mm × 160 mm) 和 6U (233.35 mm × 160 mm) 两种板卡尺寸。

图 1 展示了一个 3U 型板卡

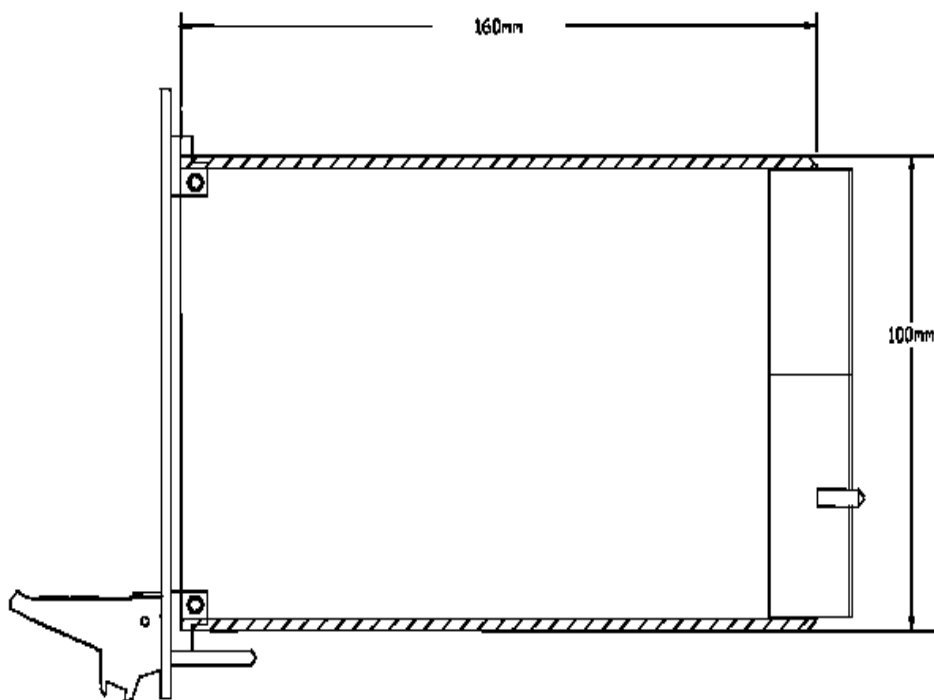


图 1 3U 64-bit CPCI 外形尺寸图

一个 CPCI 系统由一个或多个 CPCI 总线段组成。每个总线段又由 8 个 CPCI 插槽组成 (33MHZ 情况)，板中心间距 20.32mm (0.8 inch)。每个 CPCI 总线段包括一个系统槽和最多 7 个外围设备槽。

系统槽为总线段上的所有适配器提供仲裁、时钟分配以及复位功能。系统槽通过管理每个局部适配器上的 IDSEL 板选信号完成系统初始化。实际上，系统槽可以被固定在背板上的任意位置。为了简单起见，本技术规范假定每个 CPCI 总线段上的系统槽都定位于总线段的最左端，当从背板的前方看过去时。

外围槽可安装简单适配器也可以安装智能化从设备或 PCI 总线主适配卡。图 2 给出了前端看过去的一个典型的 3UCPCI 总线段。除了图 2 给出的线性排列以外 CPCI 规范还允许其他形式的拓扑结构。然而，此规范和所有的背板模拟都采用系统槽位于总线段左边或右边、板间距为 20.32mm (0.8inch) 的线性排列结构。别的拓扑结构必须通过模拟或其他方法验证能够兼容 PCI 规范后才能使用。

CPCI 基于物理槽和逻辑槽的概念定义插槽编号。物理槽必须从机箱最左端开始编号，编号从 1 开始。。CPCI 系统必须在相互兼容的前提下标识每个物理槽。图 2 给出了兼容背景下编号物理槽的示例。

逻辑槽号的定义是通过 IDSEL 板选信号和关联地址来选择的。使用逻辑号来定义总线段上连接器的物理特征。图 2 中，逻辑号位于连接器的下方。逻辑槽号和物理槽号并不是总保持一致。

通过功能标识我们可以很直观地分辨出背板连接器和适配器的功能。功能标识为：

- 三角号表示系统槽
- 圆形表示外设槽

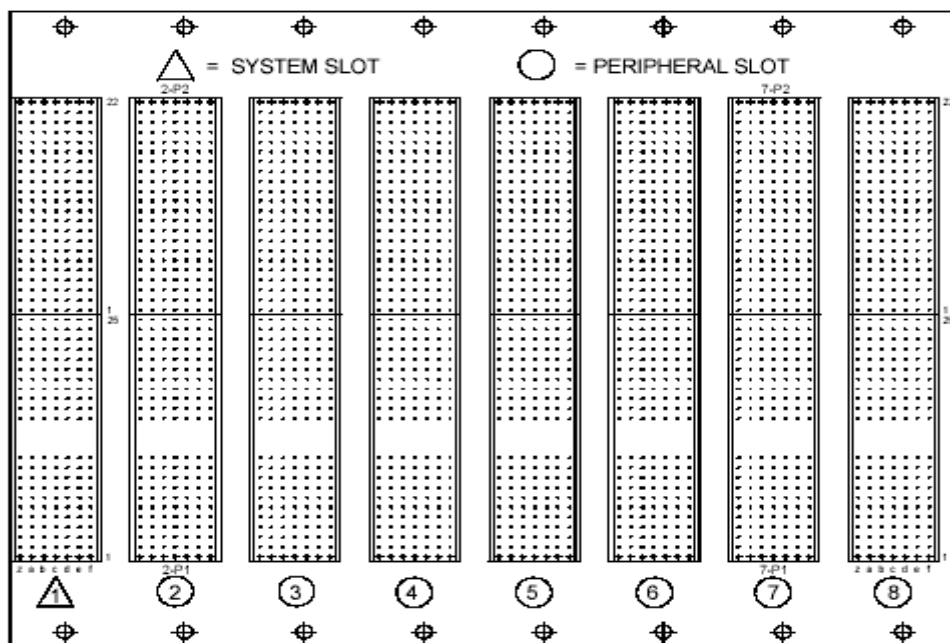


图2 3U CPCI 背板示例

2.2 连接器

CPCI 连接器是由 IEC 60917 和 IEC 61076-101 定义的屏蔽式 2mm 间距 5 行的连接器。包括以下特性：

- 针孔互联机制
- 多供应商支持
- 能够提供固定编码键的编码机制
- 引脚长短交错以支持热插拔功能
- 选装后面板，以满足直通背板的 IO 应用需求
- 高密度 PCI 能力
- 有效屏蔽电磁干扰 EMI/射频干扰 RFI
- 最终用户的可扩展性

CPCI 总线互联被定义成一个 5 行 47 列的引脚阵，这些引脚逻辑上被分成与物理连接器相对应的两组。32 位 PCI 和连接器编码键区安排在一个连接器 J1 上。另一个连接器 J2 被定义位 64 位传输、后面板 IO 或物理寻址。查询引脚分配和信号分组可以参照第一章。

CPCI 针孔连接器利用位于适配器和背板连接器上的定向特性来确保极性匹配。对 3.3V 或 5V 操作使用编码键可以进一步增强极性配置，以达到组织适配器上不正确的装置，与是否具备热插拔功能无关。

编码键可以防止因疏忽将 5V 适配器安装到 3.3V 系统上的。表 1 给出了背板连接器和适配器连接器相关联的不同编码键的色码。通用适配器可在任意环境包括没有编码键的情况下工作。背板连接器必须依据背板段上的信号线进行键控。

表 1 中仅给出了板上组装了 J1 和 J1 是唯一组装的连接器时编码键的一般情况。任意 CPCI 适配器运行时，若组装除 J1 以外的其他连接器都必须添加符合 PICMG 2.10 中 CPCI 适配器和背板编码键规范的编码键。仅当 3U 或 6U32 位信号适配器无 IO 时，J1 连接器中的彩色编码键机

制才作为主编码键使用，其他的操作必须符合 PICMG 2.10 规范规定的编码键机制。

表 1 编码键色彩分配

信号电压 V (I/O)	对应颜色
3.3V	镉黄
5V	亮蓝
3.3V 或 5V (通用板)	无

2.3 模块化

CPCI 的一个重要特性是系统模块化。系统的模块化是通过使用不同的欧式板卡结构和多样化 IEC-61076-4-101 连接器实现的。3U 结构、6U 结构或是两个的结合体都可以直接被用来创建一个系统。IEC-61076-4-101 连接器适用于多种外形结构中的不同应用。

2.4 热插拔功能

PICMG 2.1 热插拔规范可作为详细参考资料用于热插拔适配器或系统当中。

3 电气需求

本章给出了 CPCI 适配器和背板的电气需求。

3.1 适配器设计准则

CPCI 适配器设计必须遵循 PCI 规范中给出的台式 PCI 适配器的标准设计需求。本节还给出了设计需要的额外需求和限制条件。3.1 节至 3.4 节针对 33MHz 的 PCI 总线操作。3.5 节给出了 66MHz 应用的设计准则。

3.1.1 退耦需求

每个 CPCI 适配器须装备退耦装置以满足已有应用。表 2 给出了必须用到的最低需求。对于 CPCI 热插拔适配器，必须对这些需求做修改。如需了解细节，请参阅 PICMG 2.1 中的热插拔技术规范。

表 2 适配卡退耦需求

连接器	电源	描述	退耦电容		电压
			0.1uF±20%(1)	10uF±20%(2)	
P1	5V	+5 VDC			15 V min.
P1	3.3V	+3.3 VDC			10 V min.
P1	V(I/O)	+5/3.3VDC			15 V min.
P1	+12V	+12 VDC		(3)	35 V min.
P1	-12V	-12 VDC		(3)	35 V min.
P2(4)	V(I/O)	+5/3.3 VDC			15 V min.

注：

- 对于所有电压，为了消除每 10 个功能引脚之间的相互作用，必须将一个高速退耦 0.1uF 的瓷片电容靠近连接器。这条准则适用于适配器上的所有功能引脚即使是没有它未被使用。
- 每个 10uF 低 ESR (电子自旋共振) 的电容必须定位在靠近连接器的位置 (见第三条)
- 当适配器使用 ± 12 V电压时，+ 12V和 - 12V位置需要连接一个0.1uF电容即使未被使用。
- 64 位系统中对 P2 的要求。如果 P2 被用户用来定义 I/O 需要额外添加退耦电容。

3.1.2 CPCI 附加信号

除 PCI 规范中定义的信号外，CPCI 额外定义了一些信号可用于适配卡设计。具体描述详见 3.2.7 节。

3.1.3 CPCI 端接终端

适配卡上许多PCI总线信号都在CPCI连接器接口处串接一个10 欧姆排终端电阻。需要加终端电阻的信号包括：AD0-AD31，C/BE0#-C/BE3#，PAR，FRAME#，IRDY#，TRDY#，STOP#，LOCK#，IDSEL，DEVSEL#，PERR#，SERR#以及RST#。

表3 端接终端电阻值

参数	最小值	基准值	最大值	单位	注释
Rterm	-5%	10	+5%	Ohms	端接电阻串接在适配卡连接器上

以下信号如果被适配器引用时，也需要端接终端电阻：INTA#，INTB#，INTC#，INTD#，AD32-AD63，C/BE4#-C/BE7#，REQ64#，ACK64#以及PAR64。

以下信号则不需要端接终端电阻：CLK，REQ# 以及GNT#。

端接终端可以减小每块适配卡对PCI背板的影响。电阻应设置在信号连接器引脚的15.2mm（0.6英尺）内。这个长度必须包含在3.1.4和3.1.6小节所描述的信号线端接长度内。

驱动REQ# 信号的外围适配器必须才驱动引脚处（而不是在连接器的端接电阻处）串接一个端接电阻，这个终端电阻的大小由缓冲器的输出决定。系统插槽适配器上，需要在驱动引脚处连接一个串联电阻，这个驱动引脚为每个插槽提供CLK信号。应驱动缓冲器输出特性的要求，每块系统插槽适配器的GNT# 信号处同样需要在驱动引脚处串接一个端接电阻。

3.1.4 外围适配器信号端接长度

对于32位或64位信号，其信号端接长度应小于或等于63.5mm（2.5英尺），这个长度是指从连接器引脚经端接或排终端电阻（3.1.3小节描述的）到PCI设备引脚的距离。这个长度要比PCI规范中要求的长度大，但是同样包含电阻的总轮廓长度。

任意外围适配器上，每个PCI信号只能承载的最多一个PCI负载。连接一个以上负载的外围适配器不符合与CPCI技术规范也不能与之相兼容。

3.1.5 阻抗特性

适配器必须被制作成能够为CPCI信号线提供如表4所示的阻抗特性。

表4 适配器阻抗特性

参数	最小值	基准值	最大值	单位	注释
Z_0	-10%	65	+10%	Ohms	仅对PCB布线而言，但是包括焊盘过孔

3.1.6 系统槽适配器信号端接长度

对32位或64位适配器来讲，系统槽的信号线端接长度应小于或等于63.5mm（2.5英尺）。

在每个PCI背板段上，每个系统槽信号上可以挂两个PCI负载，以适应实际操作中基于PCI的CPU设计需求。当系统槽适配器上添加负载时，每个PCI信号上只需要端接一个3.1.3小节定义的终端电阻。

当系统槽上挂接两个负载时，信号必须以直线形式从连接器接到第一个负载然后再到第二个负载。端接第一个负载的长度应该小于0.5英尺。

3.1.7 外围适配器 PCI 时钟信号长度

外围适配器的PCI信号长度应为63.5 mm $\pm$ 2.54 mm（2.5inches $\pm$ 0.1 inches），并且每块适配器只能挂接一个负载。

3.1.8 上拉定位

PCI规范所需的上拉电阻必须位于系统槽适配器上。表5给出了5V和3.3V环境下上拉电阻值。所有这些电阻值都是在假定有9个负载且电阻误差为 $\pm 5\%$ 的情况下给定的。信号上拉定位所需的上拉电阻必须连接在适配器中端接终端电阻的旁边。上拉电阻的端接长度应小于0.5英尺，并且这个端接长度包含上拉电阻尺寸长度。

支持两种信号形式的系统槽适配器必须设计合适的上拉电阻值以匹配运行其上的信号环境。既能够作为系统适配器使用也可以作为外围适配器使用的适配卡，当被用作外围适配器时不需要连接上拉电阻。

表5 上拉电阻值

信号电压	最小值	基准值	最大值	单位
5 V	-5%	1.0	+5%	千欧
3.3 V	-5%	2.7	+5%	千欧

对控制信号所需的上拉电阻需要进一步说明，所有系统槽适配器都必须为64位数据扩展信号提供上拉电阻，AD[63::32]，C/BE[7::4]#以及 PAR64。

当系统槽适配器为32位时，必须为REQ64#和ACK64#信号提供上拉电阻，即使系统适配器没有使用这些信号。上面的要求适用于64位外围适配器用在32位或64位系统适配器的情形。上拉

电阻同时可以阻止64位适配器上REQ64#和ACK64#信号漂移。具体细节请参阅3.4节。

使用GNT#信号的每块外围适配器都需要接一个100千欧的上拉电阻，用来阻止漂移输入，当GNT#信号未被系统槽适配器驱动时。

3.1.9 适配板连接器屏蔽需求

J1和J2连接器需在适配板的F行加载一个屏蔽罩。此屏蔽罩可以在适配板和CPCI背板之间为逻辑地形成一个低阻抗回路。没有使用屏蔽罩的适配板不能兼容所有的CPCI拓扑系统，更不能确保在所有CPCI系统中正常运行。

3.2 背板设计准则

CPCI规范定义了这样一个背板环境，当工作在33MHz时最多可有8个插槽，66MHz时最多可有5个插槽。查看3.5.3小节了解66MHz设计准则。

系统插槽为其他7个插槽提供时钟、仲裁、配置以及中断处理功能。CPCI背板可以提供较少的插槽，然而接下来的章节我们将假定配置了最大数目的插槽，并且这些插槽按照板中心间距为20.32mm (0.8inch) 的线性拓扑结构排列，其中系统插槽定位于总线段的最左端或最右端。为了确保遵循PCI规范，其他形式的拓扑结构必须经过模拟或是其他方法验证后才能使用。

设计一个既能工作于33MHz又能工作于66MHz的背板是有可能的。参阅3.5.3节66MHz设计准则。对于带有超过5个插槽的背板来说，M66EN以所有插槽为基准。

背板应能提供相互分离的3.3V、5V电源和接地面。当V(I/O)被配置成3.3V或5V时，V(I/O)需要占用一个单独的电源面。

3.2.1 阻抗特性

背板将被制作成能够提供具有表6所示的阻抗特性的CPCI信号线。

表6 背板阻抗特性

参数	最小值	基准值	最大值	单位	注释
Z ₀	-10%	65	+10%	Ohms	仅对PCB布线而言，但是包括焊盘过孔

3.2.2 8 插槽背板终端

系统仿真显示，当使用准许的最大PCI缓冲器（参阅PCI规范表V-I），且背板上的8插槽仅配置了系统槽和与它临近的外围槽（仅两块适配器），这是PCI信号最大传播时延为10ns的规律被打破。

为了精确配置系统，需在背板末端所有总线PCI信号线上最远离系统槽的地方添加一个快速肖特基二极管信号终端，如图3所示。这个二极管可直接加在背板上也可以经由一个最远离系统槽的插槽二极管终端适配器连接到背板上。一旦使用，对每个PCI信号而言，这个二极管将尽量近的靠近网络的末端。

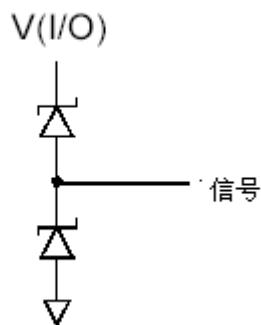


图3 PCI信号终端

3.2.3 信号环境

每个CPCI背板提供5V或3.3V信号环境。PCI允许使用两种类型的缓冲器接口来实现适配板互联。5V信号一般被用于早期系统。伴随着半导体工业为追求高速度低功耗性能而转为设计低功耗接口，背板系统也逐渐转向3.3V。连接器上的V(I/O)激励脚用来激励外围适配板上的缓冲器。这个缓冲器允许一个板卡被设计成能同时工作在两种接口模式下。

CPCI为这种双重接口配置的每个系统提供了唯一一个备板连接器编码键。CPCI备板可以是一个固定信号环境的备板也可以是可配置的。在任一模式下，当配置成5V操作时，5V编码键（亮蓝色）将被使用。同理，配置成3.3V操作时，3.3V编码键（镉黄色）将被安装在备板连接器中。

通过以上机制，可以插入与备板相匹配的带有编码键的适配板，同样也可以阻止不匹配适配板插入。3.3V或5V适配器不具备编码键，因此可以被插入到两个系统中的任意一个。详情请参阅5.6和5.7小节。

3.2.4 IDSEL 板选信号分配

为达到配置目的，使用PCI板选信号IDSEL给每块局部插槽提供唯一访问。通过连接地址线AD31~AD25中的一条到和每块适配板的IDSEL引脚（J1:B9），配置阶段每块适配板都对应了唯一的一个地址。表7给出了每块适配板IDSEL引脚与每根地址线的对应情况。背板应在最短周期长度内为每个逻辑插槽连接器的IDSEL引脚建立连接。

允许CPCI总线段的系统槽适配板上挂接额外的PCI设备。这个设备可以使用AD11~AD24范围内较低的AD_{xx}线。

3.2.5 REQ#/GNT# 信号线分配

系统槽接口对应的7对REQ_x#/GNT_x#引脚分别称为REQ0#-REQ6#和GNT0#-GNT6#。每块外围适配器接口对应的一对REQ_x#/GNT_x#信号使用引脚REQ#（J1:A6）和GNT#（J1:E5）。表7列出了每块适配板上请求/准许信号与REQ#/GNT#引脚的对应关系。

对于任意给定的CPCI背板段，其上的系统槽都必须提供足够的REQ#/GNT#信号。

系统槽适配器需要提供7对REQ_x#/GNT_x#信号。

表7 系统到逻辑插槽的信号分配

Signal	Connector:Pin	Signal	Connector:Pin
System Slot (Δ), Logical Slot 1		Peripheral Slot ($\bigcirc$), Logical Slot 2	
AD31	P1:E6	IDSEL ⁽¹⁾	P1:B9
REQ0#	P1:A6	REQ#	P1:A6
GNT0#	P1:E5	GNT#	P1:E5
System Slot (Δ), Logical Slot 1		Peripheral Slot ($\bigcirc$), Logical Slot 3	
AD30	P1:A7	IDSEL ⁽¹⁾	P1:B9
REQ1#	P2:C1	REQ#	P1:A6
GNT1#	P2:D1	GNT#	P1:E5
System Slot (Δ), Logical Slot 1		Peripheral Slot ($\bigcirc$), Logical Slot 4	
AD29	P1:B7	IDSEL ⁽¹⁾	P1:B9
REQ2#	P2:E1	REQ#	P1:A6
GNT2#	P2:D2	GNT#	P1:E5
System Slot (Δ), Logical Slot 1		Peripheral Slot ($\bigcirc$), Logical Slot 5	
AD28	P1:C7	IDSEL ⁽¹⁾	P1:B9
REQ3#	P2:E2	REQ#	P1:A6
GNT3#	P2:C3	GNT#	P1:E5
System Slot (Δ), Logical Slot 1		Peripheral Slot ($\bigcirc$), Logical Slot 6	
AD27	P1:E7	IDSEL ⁽¹⁾	P1:B9
REQ4#	P2:D3	REQ#	P1:A6
GNT4#	P2:E3	GNT#	P1:E5
System Slot (Δ), Logical Slot 1		Peripheral Slot ($\bigcirc$), Logical Slot 7	
AD26	P1:A8	IDSEL ⁽¹⁾	P1:B9
REQ5#	P2:D15	REQ#	P1:A6
GNT5#	P2:E15	GNT#	P1:E5
System Slot (Δ), Logical Slot 1		Peripheral Slot ($\bigcirc$), Logical Slot 8	
AD25	P1:D8	IDSEL ⁽¹⁾	P1:B9
REQ6#	P2:D17	REQ#	P1:A6
GNT6#	P2:E17	GNT#	P1:E5

注：每块插槽上的IDSEL信号必须以最短的长度连接到已有插槽上。例如，逻辑槽6上的IDSEL信号须以最短的长度连接到AD27上。

3.2.6 PCI 中断绑定

BIOS启动程序做中断绑定时，需要背板按照表8分配系统槽中断引脚INTA#-INTD#给逻辑适配器插槽。

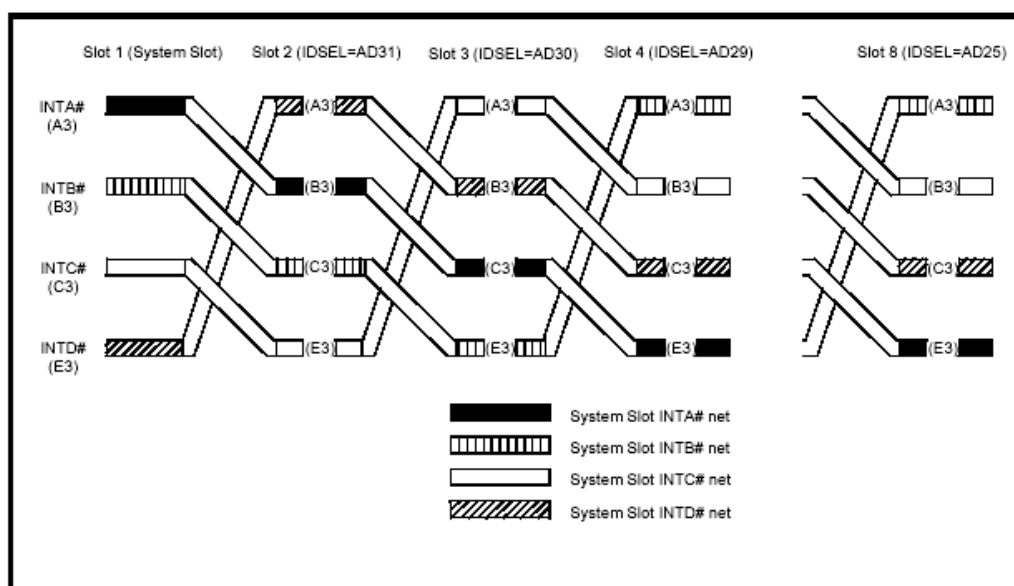
背板通过逻辑适配器插槽为每块适配板的前4个PCI连接器循环提供一个唯一的PCI中断（假定每块适配器仅驱动自己的INTA#信号）。为了在系统槽适配器上使用一个不同的中断而不必和其他PCI接口共用同一个中断，循环式中断分配机制允许多个PCI外设仅驱动INTA#信号。因为多功能PCI设备可以驱动多个中断，即使是在前四个适配器插槽上也需要共享中断存在。需要说明的是，中断到达逻辑槽4后一个循环结束，逻辑槽4同样要求为四个连接器分开的插槽共享一个中断（以逻辑槽2和6为例）。

这个中断分配机制同PCI SIG中定义的PCI-PCI桥规范是一致的。这就允许挂在总线0和CPCI之间的CPU板使用PCI-PCI桥技术。

尽管PCI软件驱动器被设计成允许共享中断信号，但是与其他设备共享一个中断时会影响其中断响应时间，所以应尽可能的避免使用共享中断信号。

了解继起IDE设备的中断支持机构请参阅3.2.7.4小节。

表8 系统对逻辑插槽的中断分配



3.2.7 CPCI 附加信号

CPCI使用PCI局部总线规范定义的PCI信号和一些附加信号。这些附加信号不但不会影响PCI信号，还能通过提供一些功能来增强系统操作性能，这些功能包括添加重启按钮、供电状态、系统槽识别、物理寻址、系统管理以及继起IDE设备中断支持特性。

3.2.7.1 重启按钮 (PRST#)

CPCI系统中，PRST#信号用来重启系统槽适配器，系统槽适配器紧接着通过PCI RST#信号重启系统的其他设备。PRST#信号是通过开关闭合或开集电极驱动产生的TTL低电平有效信号。接收PRST#信号的系统槽适配板有责任按照要求反跳这个信号。系统槽适配板应在V(I/O)端使用一个1千欧的上拉电阻来截断PRST#信号。

3.2.7.2 供电状态 (DEG#，FAL#)

分系统供电状态由背板上的两个低电平有效TTL供电状态信号决定，利用模式化供电器具选择DEG#和FAL#信号。系统槽适配板必须在V(I/O)端使用一个1千欧的上拉电阻来对这两个信号进行截断，即使系统适配板没有使用这两个信号。了解更多细节请查阅3.2.8.2小节。

3.2.7.3 系统槽识别 (SYSEN#)

这个引脚位于CPCI总线段上的系统槽上，因此适配器能够辨别的出系统槽的安装。对于其他插槽而言，这个引脚并没有连接到背板上。能够识别这个信号的适配器需要提供自己的上拉位至V(I/O)，并禁止所有系统槽功能，例如提供时钟发生器和总线仲裁当系统槽中未安装此项时。

3.2.7.4 继起集成电路设备中断支持

本规范为使用继起中断的适配板定义了两个附加的非PCI中断INTP和INTS。这些中断支持是可选择的。INTP（引脚D4）可用作控制中断，能被发送给系统主设备上的任意继起ISA中断。系统主设备必须为用户提供此中断的一种控制方法和路径取向。例如，经由BIOS启动菜单。PCI重启之后，系统主设备和任意支持此中断的外围设备板都将禁用此可操控中断。

继起系统主设备上的INTP可用连接线连接到一个简单的继起ISA中断上。这点更包括了选择使用INTP作为继起IDE中断的操作，正如此规范的前期修订本中提议的那样。

INTP是一个高电平有效的TTL信号，它并不要求符合PCI电气缓存特性。系统槽适配器须提供一个1千欧的上拉电阻给V(I/O)，即使系统槽适配板并不支持此信号。

INTS（引脚E4）可被用作串行中断，以符合PCI系统串行IRQ支持规范Rev.6.0，1995年9月发行。

系统主设备应该为用户提供一种关于此中断的控制方法和路径取向，例如经由BIOS启动菜单。PCI重启之后，系统主设备和支持串行IRQ协议的任意从适配板都将禁用这个串行中断。

INTS与PCI时钟同步，并要求满足PCI电气缓存特性。为保持与3.1.8小节内容一致，此信号线应在系统适配器上连接一个上拉电阻，在支持此信号的任意适配板上端接一个终端电阻来与3.1.3小节匹配。电气特性和PCB布线规则应服从3.1.4到3.1.7内容。

系统槽和外围适配器卖主都备有证明文件支持INTP和INTS。

3.2.7.5 系统枚举（ENUM#）

低电平有效的TTL开集电极信号是由支持热插拔能力的适配卡插入或移动后驱动产生的。系统主设备使用这个中断信号来阻止软件在系统管理I/O、存储器和中断资源时访问其他适配器。系统槽适配器应该为ENUM#信号端接一个3.1.8小节定义的上拉电阻。CPCI热插拔规范就ENUM#信号定义了不同级别的热插拔能力。参阅CPCI热插拔规范了解更详细说明。

3.2.7.6 物理寻址（GA[4..0]）

表9 物理槽地址

Physical Slot Number	GA[4] (J2-A22)	GA[3] (J2-B22)	GA[2] (J2-C22)	GA[1] (J2-D22)	GA[0] (J2-E22)
0 ⁽¹⁾	GND	GND	GND	GND	GND
1	GND	GND	GND	GND	Open
2	GND	GND	GND	Open	GND
3	GND	GND	GND	Open	Open
4	GND	GND	Open	GND	GND
5	GND	GND	Open	GND	Open
6	GND	GND	Open	Open	GND
7	GND	GND	Open	Open	Open
8	GND	Open	GND	GND	GND
9	GND	Open	GND	GND	Open
10	GND	Open	GND	Open	GND
11	GND	Open	GND	Open	Open
12	GND	Open	Open	GND	GND
13	GND	Open	Open	GND	Open
14	GND	Open	Open	Open	GND
15	GND	Open	Open	Open	Open
16	Open	GND	GND	GND	GND
17	Open	GND	GND	GND	Open
18	Open	GND	GND	Open	GND
19	Open	GND	GND	Open	Open
20	Open	GND	Open	GND	GND
21	Open	GND	Open	GND	Open
22	Open	GND	Open	Open	GND
23	Open	GND	Open	Open	Open
24	Open	Open	GND	GND	GND
25	Open	Open	GND	GND	Open
26	Open	Open	GND	Open	GND
27	Open	Open	GND	Open	Open
28	Open	Open	Open	GND	GND
29	Open	Open	Open	GND	Open
30	Open	Open	Open	Open	GND
31	Open	Open	Open	Open	Open

注：物理槽号为0的插槽被预留来做扩展应用。

就背板而言，如果P2被安装在一个特定插槽上，这时为了能唯一识别插槽P2讲支持GA[4..0]物理

寻址信号。使用物理寻址信号GA[4..0]的适配板需要挂接一个 $10\pm 10\%$ 千欧的上拉电阻。

背板的物理槽地址(GA[4..0])将在背板上通过接地和保持每个连接器上的不同引脚组合断开。物理槽地址是由2.1节中的物理槽编号定义的。表9给出了物理槽编号和对应的物理槽地址GA[4..0]。物理槽“0”预留做扩展应用。物理地址“31”是默认的有效地址。当具有物理寻址能力的适配板安装到背板插槽上时，它并不支持物理寻址方式。

支持系统管理功能的适配板可以使用这些信号为系统提供一个唯一的地址。了解详细情况请参阅CPCI系统管理规范。

3.2.7.7 系统管理总线

J1/P1上定义了三个引脚IPMB_SCL, IPMB_SDA和IPMB_PWR, 用来整合系统管理特性, 包含适配板识别、环境控制和电压控制等。

J2/P2上预留了三个引脚IPMB_SCL, IPMB_SDA和IPMB_PWR以备非背板总线系统管理功能使用。

每个插槽上, IPMB_PWR背板线的载流能力最小为100mA。

3.2.8 电源分配

CPCI系统通过背板进行电源分配。每块背板必须能够提供表10所示的标准直流电压。

表10 电源说明

Mnemonic	Description	Nominal Value	Tolerance(2)	Max. Ripple (p-p)(3)
5 V	+5 VDC	5.0 V	+5%/-3%	50 mV ⁽¹⁾⁽⁴⁾
3.3 V	+3.3 VDC	3.3 V	+5%/-3%	50 mV ⁽¹⁾⁽⁴⁾
+12 V	+12 VDC	12.0 V	$\pm 5\%$	240 mV ⁽¹⁾⁽⁵⁾
-12 V	-12 VDC	-12.0 V	$\pm 5\%$	240 mV ⁽¹⁾⁽⁵⁾
V(I/O)	PCI I/O Buffer Voltage	5.0V or 3.3V	+5%/-3%	50mV ⁽¹⁾⁽⁴⁾
GND	Ground			

注：

·最大纹波很难精确测量出来，因此需要优良的测量技术。测量应该在20MHz带宽、最小接地母线的情况下进行。每个CPCI插槽都必须符合此规范。

·此规范针对每个插槽的电源，它包括供给电源和背板容差。

·由于纹波同线性频率有关，最大纹波值应满足：+ 12V和 - 12V情况下为10mV(p-p)，+ 5V和 + 3.3V时为5mV(p-p)。

·适配板和背板之间的电源分配为：背板20mV，适配板30mV。

·适配板和背板之间的电源分配为：背板96mV，适配板144mV。

3.2.8.1 外接电源

作为外接电源其接线端应固定在背板的前面或后面。很少几种类型的强电流印制电路板接线端是可用的。至少需要为每个供电电压提供外接电源。

3.2.8.2 In-Rack电源连接

PICMG 2.11电源接口规范为实现In-Rack供电模块定义了几种方法。先前的核心规范PICMG 2.0为供电模块引入了一个IEC 603-2(DIN 41612)类型连接器。了解更多细节请参阅PICMG 2.11电源接口规范。

3.2.8.3 V(I/O)载流能力

对于每个CPCI插槽，背板提供的穿过该插槽V(I/O)引脚的最小电流总和为4A。假定穿过连接器V(I/O)引脚的电流最大4A时适配板仍然可用（不管是在5V情况下还是3.3V情况下）。本需求仅允许适配板从V(I/O)引出除5V和3.3V以外的电源引脚。整个系统的电源分配是一个系统综合所关心的问题。

3.2.9 电源去耦

CPCI适配板可以使用表10列出的任意电压。背板上不带电源去耦装置的5V和3.3V电源，可能会出现间歇性操作。背板电源引脚被设定成同V(I/O)电源引脚一致的5V和3.3V。V(I/O)电源引脚是连接在5V上还是3.3V上依赖于正在使用的背板信号是5V还是3.3V。参阅5.6节。

作为开关电流的一种合理管理方式，所有的电源电压必须接地去耦。低阻抗电源层和低等效串联阻抗电容线路被使用。纵使一个系统没有使用3.3V或5V，未被使用的电源引脚也应进行连接和去耦操作以提供一个附加AC回路。表11给出了每个连接器所使用的旁路引导线的最小值。

表11 背板去耦建议

Mnemonic	Description	Decoupling Capacitance	Voltage
5V	+5 VDC	44 μ F $\pm$ 20% ⁽¹⁾	15 V min.
3.3V	+3.3 VDC	44 μ F $\pm$ 20% ⁽¹⁾	10 V min.
V(I/O)	+5/3.3 VDC	44 μ F $\pm$ 20% ⁽¹⁾	15 V min.
+12V	+12 VDC	15 μ F $\pm$ 20%	35 V min.
-12V	-12 VDC	15 μ F $\pm$ 20%	35 V min.

3.2.10 健全（Healthy #）

这个引脚被预留来用于热插拔系统。背板应该保持HEALTHY # 引脚悬空（未连接）。这个引脚应该通过一个0.01 μ F的电容旁路到背板的每个插槽以保持AC线的屏蔽能力。有些热插拔平台可能用到额外需求，参考PICMG 2.1。

3.3 33MHz PCI 时钟分配

系统槽适配器需要给系统中的所有PCI外围设备提供时钟信号，也包括系统槽适配板上的设备。外围适配板上的时钟信号由CPCI背板提供。33MHz系统之上的任意两个PCI设备之间，输入到集成电路的时钟会有最大为2ns的时钟倾斜。

时钟倾斜是指任意PCI时钟信号最大传播时延与最小传播时延的差值。CPCI系统中引起时钟倾斜的因素有两个：

- 1、背板时钟倾斜。CPCI背板为系统上的所有适配槽提供时钟信号。选择路线和拓扑网络的不同会引起时钟倾斜。同样定义了最大时钟延迟，这是个在系统的设计阶段必须考虑的因素，它必须符合整个系统对时钟倾斜的要求。
- 2、系统槽适配板时钟倾斜。这个时钟倾斜是由所有PCI时钟信号在板上的路由不同引起的，也同用于时钟分配的集成电路驱动器类型有关。板上时钟路由必须被设计成能够弥补背板时钟分配时引起的传播延迟，也需要满足整个系统的时钟倾斜要求。

3.3.1 背板时钟线路设计准则

CPCI背板应该被设计成能够为系统槽适配器提供一个有关背板时钟线路选择的可靠的环境。本设计准则假定，线性背板的系统槽位于总线端的一端并且具有20.32mm (0.8inch) 的连接器间距。

系统槽提供7个时钟信号，这7个时钟信号被唯一的分配给7个外围插槽。时钟信号和物理槽的一一对应关系是任意的。

背板使用这些时钟线为每个插槽提供一个简单的时钟线。时钟线不能被共享。这些时钟线长度必须保持在135mm (5.3inches) 到185mm (7.3inches) 之间。

系统槽适配器使能这7条时钟线。

3.3.2 系统槽适配板时钟线路设计准则

系统槽时钟分配线路必须被设计成能够满足最多1.2ns的背板时钟倾斜。下面的设计准则适用于背板外围设备和局部PCI外围设备上的时钟分配。参阅3.1.3小节查看系统槽适配板终端。

3.3.2.1 至连接器时钟引脚的时钟线路

系统槽上的时钟分配电路应该为每个CPCI连接器引脚提供一个分立的时钟信号正如定义的PCI时钟 (CLK0, CLK1, CLK2, CLK3, CLK4, CLK5, CLK6) 一样。这些信号线在长度上必须相互匹配。

3.3.2.2 至局部PCI外设的时钟线路

连接到CPCI总线上的任意板上PCI外设包括PCI-PCI桥，都被提供给一个时钟信号。这个时钟已被延迟为了符合背板时钟的最大传输时延和PCI外设2ns的整体时钟倾斜要求。板上时钟分配允许最大800ps的时钟倾斜。为了调节最好和最坏两种背板时延以及外围适配板上63.5mm的金属线时延，这个板上时钟信号必须被延迟超过背板时钟线传输时间。

3.4 64 位设计准则

64位外围适配板必须被配置成与它所插入的背板环境相匹配。包括64位外围适配板插入一个32位系统主设备器控制的系统以及64位外围适配板插入一个热插拔系统。CPCI规范的修订本在外围适配板决定固有操作模式方面与PCI规范不同。

PCI规范要求：当RST#信号的上升沿到来时，外围PCI设备读取64位外围适配板上的REQ64#信号状态（32位外围适配板上没有REQ64#），然后根据所安装的系统类型配置高32位信号缓冲器。如果REQ64#为高，为了防止信号漂移，允许64位设备使能高32位信号。如果REQ64#为低，为了确保64位操作正常运行，必须为64位设备配置高32位信号。

情形A：CPCI规范中，将64位系统槽适配器插入一个32位背板是可能的，这种情况就要求64位外围适配板终止非64位操作中的高32位信号。

情形B：允许32位系统槽适配器控制的64位背板上的64位外围适配板之间以64位相互通信。同样也允许一块背板上同时带有32位和64位插槽。

情形C：热插拔系统中，每块适配板必须能够进行自我配置，因为系统重启所需要的时间比较长并且适配板被安装到一个带有PCI事件正在运行的背板环境。

为了允许适配板自我配置成64位操作，P2上的B5引脚被定义成64EN#，64位背板上的这个引脚接地而32位背板上的保持未被连接状态。此时这个信号被板上电路用来进行自我配置，RST#有效期间。

用64EN#配置局部设备的方法有多种。以下给出了几种操作，但是并不局限于这几种。

a) 局部设备重启时，使用64EN#使能设备REQ64#信号，通过消除重启时设备对背板REQ64#的影响。重启之后，背板REQ64#被接到设备上上进行64位握手操作。所有这些情形下，重启后REQ64#的所有正常电气操作都必须保留。表4给出了一个可行的电路布局图。

b) 64位设备可在局部设备重启器件读取64EN#状态来配置32位或64位操作。

c) 64EN#可作为EEPROM串行加载机制的一部分，用老配置64位设备进行匹配操作。

64位外围适配板可以使用64EN#进行自我配置。RST#下降沿有效时是不允许使用REQ64#信号状态的。根据CPCI规范修订本中给出的需求说明，具备64位能力不再是整个平台的特性，它取决于每个插槽的主要成分。

下面的电路结构给出了一个串联背板REQ64#引脚和设备REQ64#引脚的场效应管。系统重启期间，FET是关闭的，并且64EN#引脚的阻抗在重启信号的上升沿时配置给设备。当RST#信号无效时，使能FET并允许REQ64#信号按正常的工作模式运行（定义见PCI规范2.1）。

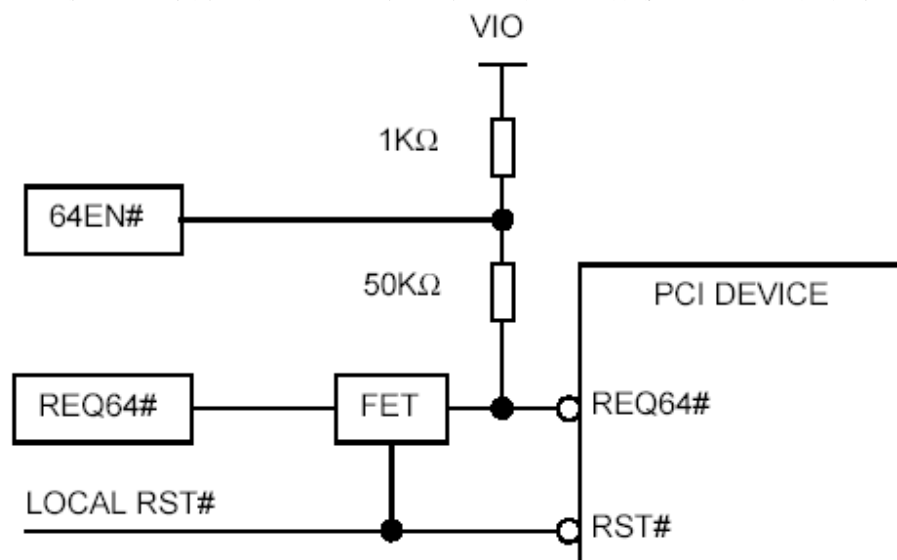


图4 64位局部适配器初始化

REQ64#串接的FET不能超出下面给出的参数指标：

阻抗：5—10欧

FET电路中的电容必须与地隔离。隔离FET电容的一个方法是使用一个分立的3端FET，并通过一个大阻值电阻驱动设备门。

FET可以代替一个10欧姆CPCI隔离线电阻，但是电路结构中必须非FET执行电路提供一个等效的隔离线。参阅CPCI热插拔规范了解更多热插拔电路分析的知识。

3.5 66MHz 电气需求

本小节给出了66MHz操作的附加说明，而没有明确给出33MHz特征的设计准则。

3.5.1 66MHz 适配板设计准则

对66MHz外围适配板，PCI时钟信号线的长度应为 $63.5\text{ mm} \pm 1\text{ mm}$ ($2.5\text{ inches} \pm 0.04\text{ inches}$)，并且此信号仅能驱动适配板上的一个负载。为了补偿时钟延迟，所有的时钟线都必须使用内层带状线构架。

3.5.2 66MHz 系统槽适配板设计准则

66MHz系统槽适配板上仅允许挂接一个PCI负载。

3.5.3 66MHz 背板设计准则

66MHzCPCI定义的背板环境最多有5个插槽。

其中一个插槽为系统槽，它为剩下的另外4个插槽提供时钟分配、总线仲裁和中断处理等功能。一块CPCI背板允许提供更少的插槽。但是下面的章节将假定背板配备了最大数目的插槽，并且这些插槽按照间距 20.32 mm (0.8 inch)、系统槽固定在总线段的最左端或最右端的线性拓扑结构排列。为了确保与PCI规范兼容，其他形式的拓扑结构必须经过模拟或其他方式的验证后才能使用。

66MHz背板上的66MHz使能线—M66EN必须传送给所有的插槽。

背板将为3.3V、5V还有地提供独立的电源层。V(I/O)总是被配置成3.3V。

3.5.4 66MHzPCI 时钟分配

系统槽适配器为系统中的所有PCI外设提供时钟信号，也包括系统槽适配器上的设备。CPCI背板为外围适配器提供时钟信号。66MHz系统上的任意两个PCI设备之间，输入到集成电路的时钟会有最大为2ns的时钟倾斜。

时钟倾斜是指任意PCI时钟信号最大传播时延与最小传播时延的差值。CPCI系统中引起时钟倾斜的因素有两个：

- 1、背板时钟倾斜。CPCI背板为系统上的所有适配槽提供时钟信号。选择路线和拓扑网络的不同会引起时钟倾斜。同样定义了最大时钟延迟，这是个在系统的设计阶段必须考虑的因素，它必须符合整个系统对时钟倾斜的要求。
- 2、系统槽适配板时钟倾斜。这个时钟倾斜是由所有PCI时钟信号在板上的路由不同引起的，也同用于时钟分配的集成电路驱动器类型有关。板上时钟路由必须被设计成能够弥补背板时钟分配时引起的传播延迟，也需要满足整个系统的时钟倾斜要求。设计既能进行33MHz操作又能进行66MHz操作的系统槽适配板时，必须考虑它运行其上的时钟环境的不同。

3.5.4.1 66MHz背板时钟线设计准则

66MHz系统仅要求连接4个外围时钟信号。时钟信号和物理槽的一一对应关系是任意的。

背板使用这些时钟线为每个插槽提供一个简单的时钟线。时钟线不能被共享。这些时钟线长度必须保持在 $160\text{mm} \pm 1\text{mm}$ ($6.300\text{ inches} \pm 0.04$)范围内。

为了补偿时间延迟所有的时钟线必须采用内层带状线配置机制。

3.5.5 66MHz 系统槽适配板时钟线设计准则

系统槽时钟分配线路必须被设计成能够满足最多200ps的背板及外围适配板时钟倾斜。下面的设计准则适用于背板外围设备和局部PCI外围设备上的时钟分配。

3.5.5.1 至连接器时钟引脚的时钟线路

系统槽上的时钟分配电路应该为每个CPCI连接器引脚提供一个分立的时钟信号正如定义的PCI时钟（CLK0, CLK1, CLK2, CLK3, CLK4, CLK5, CLK6）一样。这些信号线在长度上必须相互匹配。

3.5.5.2 至局部PCI外设的时钟线

连接到CPCI总线上的任意板上PCI外设包括PCI-PCI桥，都被提供给一个时钟信号。这个时钟已被延迟为了符合背板时钟的最大传输时延和1ns的整体时钟倾斜要求。板上时钟分配允许最大800ps的时钟倾斜。为了调节最好和最坏两种背板时延以及外围适配板上63.5mm的金属线时延，这个板上时钟信号必须被延迟超过背板时钟线传输时间。

3.5.6 66MHz 热插拔

典型的66MHz主设备设计时并不支持在33MHz和66MHz操作中动态切换。因此，并不允许33MHz外围设备插入正在运行的66MHz背板，除非主设备支持动态频率变换。

同样从66MHz平台拔出一个33MHz外围设备也是不允许的，除非主设备继续运行于33MHz或主设备支持动态频率变换。

3.6 系统和适配板接地

3.6.1 适配器前面板接地需求

CPCI适配板使用金属外壳前面板连接器来进行EMI/RFI保护。这个外壳通过一个低阻抗线路电连接到前面板上。

以下操作是针对CPCI进行的：

- 前面板应该连接到机箱地而与逻辑地隔离。
- CPCI适配器应提供一个机制，通过这个机制可以使用低阻抗线路将适配板上的逻辑地与前面板上的机箱地相连。

3.6.2 背板接地需求

背板必须将机箱地与逻辑地分离。CPCI背板必须提供一个构筑方法来连接背板上的机箱地与逻辑地。这样做的目的是使系统综合者能根据需求选择接地配置方式。

3.7 CPCI 缓冲器模型

附录A给出了假设的CPCI仿真曲线V-I。5V和3.3V缓冲器模型都给出了。注意，所有的66MHz仿真都是假设在仅有3.3V缓冲器情况下进行的。33MHz环境下，给出了5V、3.3V和通用缓冲器模型的曲线图。

4 机械需求

4.1 适配板需求

CPCI定义了两种板卡尺寸：3U和6U。

4.1.1 3U 板卡

3U为100mm×160mm规格。PCB板为1.6 ±0.2 mm厚。使用一个2mm连接器来连接CPCI总线段。图6给出了3U板卡的尺寸和连接器情况。J1用作32位PCI，J2用作64位PCI、后面板I/O或系统槽功能。

注意：用在系统或外围板卡上的Z排引脚北部出现在J1和J2连接器上。了解具体细节请参阅IEC-61076-4-101文档。

4.1.2 6U 板卡

6U为233.35mm×160mm规格。图7给出了6U板卡的尺寸和连接器情况J1，J2，J3，J4和J5。J1用作32位PCI，J2用作64位PCI、后面板I/O或系统槽功能。J3，J4和J5可用作后面板I/O。

后面板I/O可由用户定义，也可使用PICMG规范中的定义。所要此规范请联系PICMG。

注意：用在系统或外围板卡上的Z排引脚北部出现在J1和J2连接器上。了解具体细节请参阅IEC-61076-4-101文档。

4.1.3 后面板 I/O 板卡

后面板I/O板卡高度可以为3U（100mm）或6U（233.35mm），但是深度必须符合标准规范80mm。

图9和图10分别给出了IEEE 1101.11定义的3U和6U尺寸，80mm规格的后面板I/O板卡。IEEE 1101.11定义的其他深度也可在不同需求的应用中使用。了解详细内容请参阅IEEE 1101.11标准。由于后面板I/O不能应用于J1，因此后面板I/O必须使用附加连接器，此操作的键入必须遵循PICMG 2.10，CPCI适配板和背板按键规范。后面板I/O模块上使用的组合键必须相应的面板。

4.1.4 ESD 静电导出条

所有适配板都应具备IEEE 1101.10和IEEE 1101.11定义的ESD保护特性。对每块适配板来讲，最低的ESD环境也应该是沿着板卡底部两侧固定一个静电导出条。

图8和图11分别展示了一个前端插入板卡和一个后面板I/O适配板的静电放电保护。

当适配板被插入到一个封闭罩时，ESD静电导出条连接到引导卡（cardguide）的ESD静电放电针上，这个引导卡接地，见4.1.5。为了达到约束静电放电的目的，ESD静电导出条被分成三段。第一段通过一个10兆欧电阻连接到面板上为了排除适配板或用户带来的过大静电噪声。这个电阻用来限制放电电流的大小。第二段用来释放适配板接地面静电，当其被插入引导卡内部时，同样使用一个10兆欧电阻。剩下的第三段被直接连接到前面板。这样就在背板连接器接入和适配板完全安装好之后形成一个放电回路。第三段同样也为前面板到接地层提供了一个放电回路，当整个系统能够被安全管理和运作时。

所需要的静电放电保护措施依赖于环境。例如，干燥环境中的人能够产生超过20kV的静电放电电势。连接一个ESD腕带到底层地将减小最大静电放电电压至2.5kV。其他规格的ESD缩减技术最小35%RH的操作环境、传导垫或传导层等同样有效。为使静电放电电路生效，电阻器和周围组件或电路之间不能发生电弧放电。这就意味着（1）10兆欧放电电阻上的溢出电压必须超出ESD集结的预期电压。（2）放电回路和周围组件或电路之间的清除区域必须能够阻挡电弧放电。放电电阻能够承受的高电压级别必须相当高。幸运的是，电阻器的击穿电压串联时相加，并且杂散电容能够补偿每个电阻器两端的等效电压。因此，如果有N个电阻相互串联的话，其总的击穿电压为单个电阻的N倍。

4.1.5 ESD 接线柱

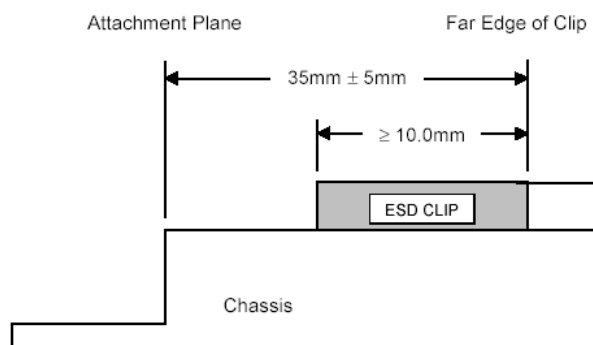


图5 ESD接线柱定位

当适配器插入系统时，ESD卡接线柱连接到适配板的边缘，并为适配板上的ESD能量提供一个放电到底盘的途径。在下级引导卡上提供一个ESD接线柱。这个接线柱必须被安放在离前面附属板 $35\text{mm} \pm 5\text{mm}$ (1.38 inches $\pm$ 0.2 inches)的距离，如图5所示。注意，这个尺寸比IEEE 1101.10定义的位置要小。这个尺寸既可以用于前面引导卡也可以用于后面引导卡。

4.1.6 剖视图

图12给出了一个剖视图，它展示了前面板、适配板、连接器和背板之间的关系。了解更多细节请查阅IEEE 1101.1和IEEE 1101.10（EMC）。值得注意的是，为了满足电气需求，必须给顶部连接器安装屏蔽罩。底部连接器屏蔽罩也需要安装，如果连接器不是伸入到板间隔离面的话。

4.1.7 构件略图和翘曲（Component outline and warpage）

图13给出了适配板的构件略图和翘曲。构件的总高度/总铅垂长和翘曲（弓形和螺旋型）应保持在板间隔离带确定的边界内。查看IEEE 1101.1和IEEE 1101.10了解更多细节。

4.1.8 焊料侧盖

由于需要一个起保护作用的焊料侧盖来防止背部组件在适配板插入或拔出子架,因此所有带有背部组件或通孔引脚的适配板都已经装备一个保护罩。

这些适配板都配备了焊料侧盖。需要为IEEE 1101.10提到的保护罩提供一个安装孔，见图6，图7。

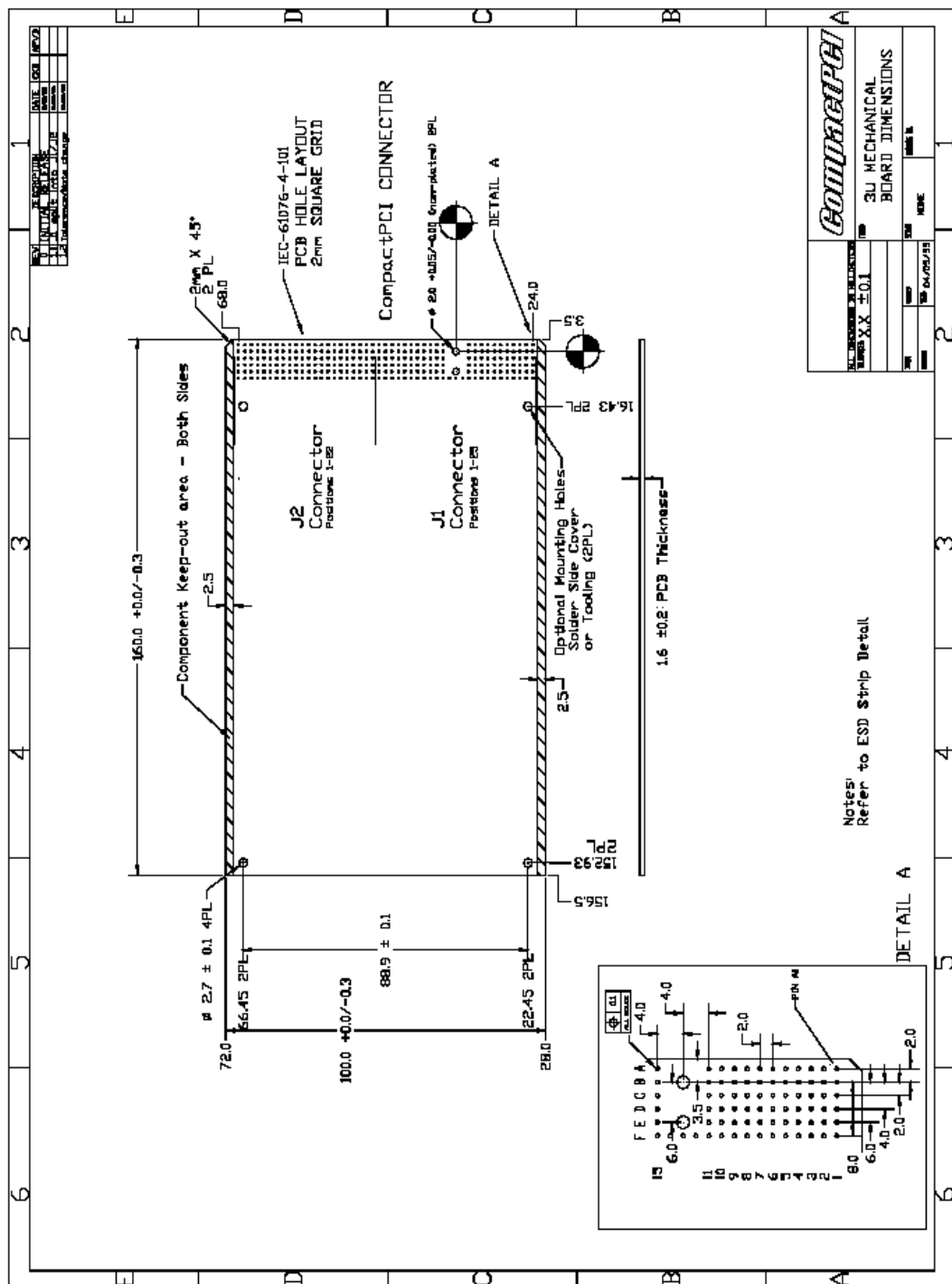


图6 3U适配板

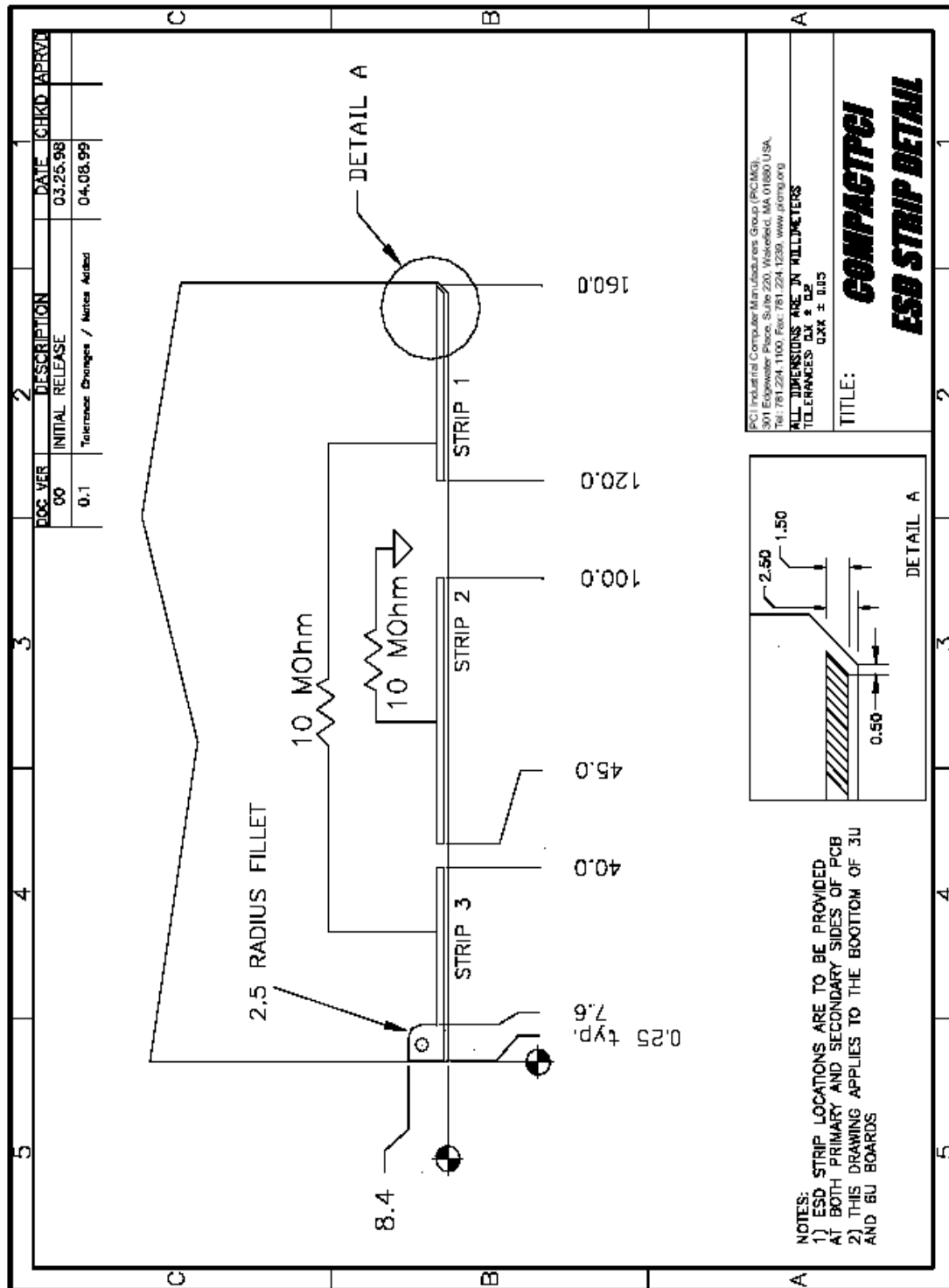


图8 前边适配板ESD尺寸

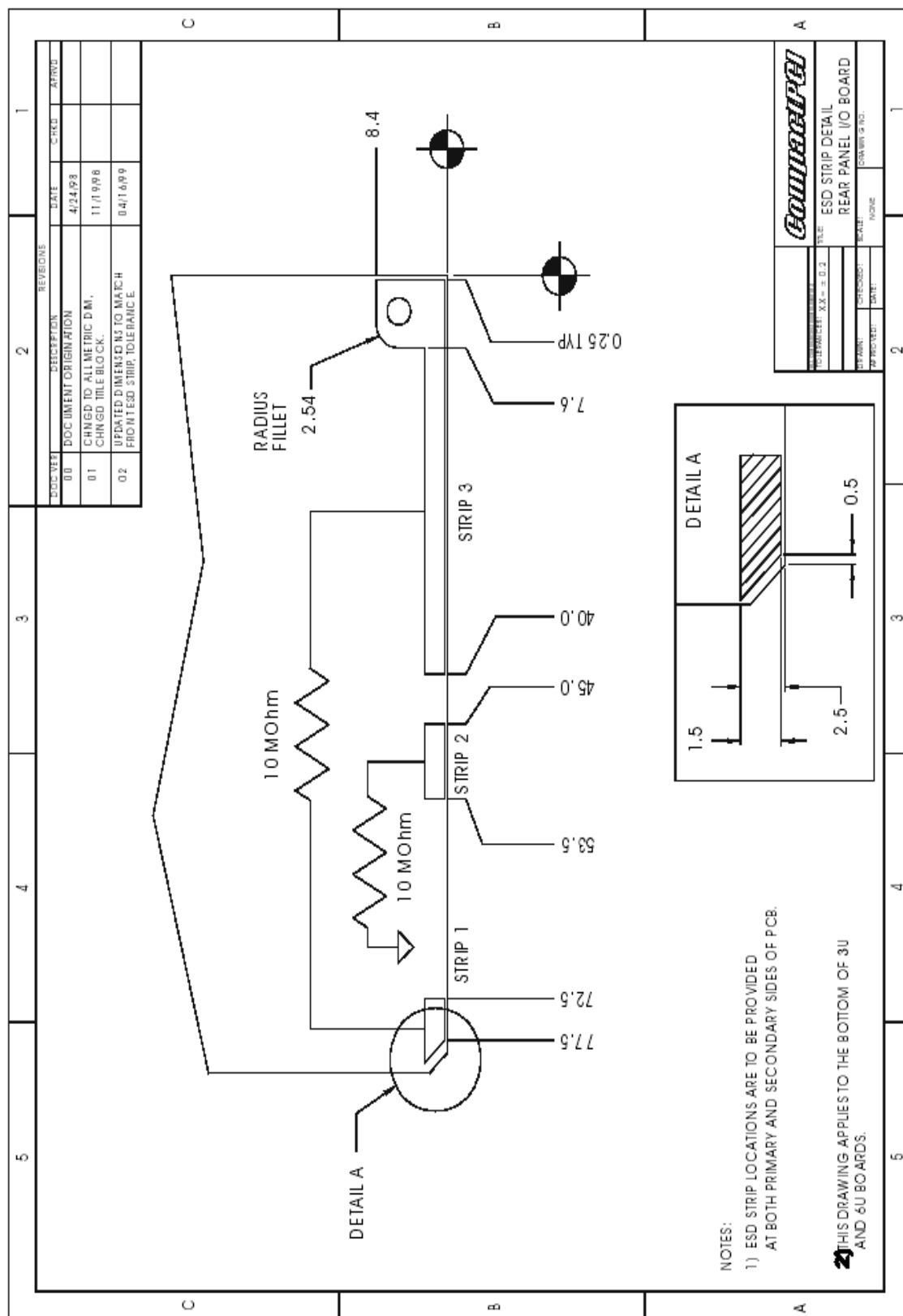


图11 通用后面板I/O适配器尺寸

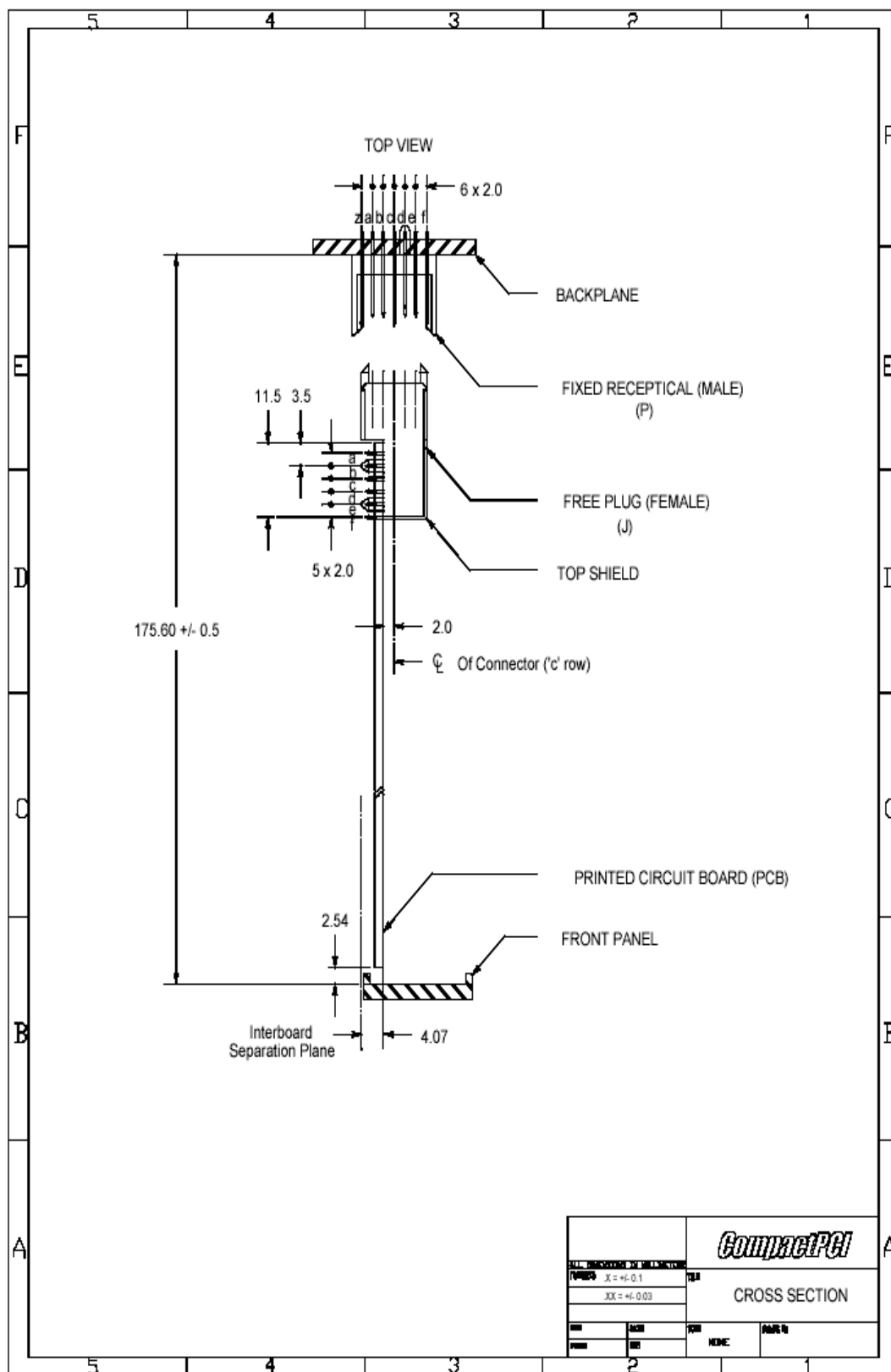


图12 适配板、背板、连接器及面板剖视图

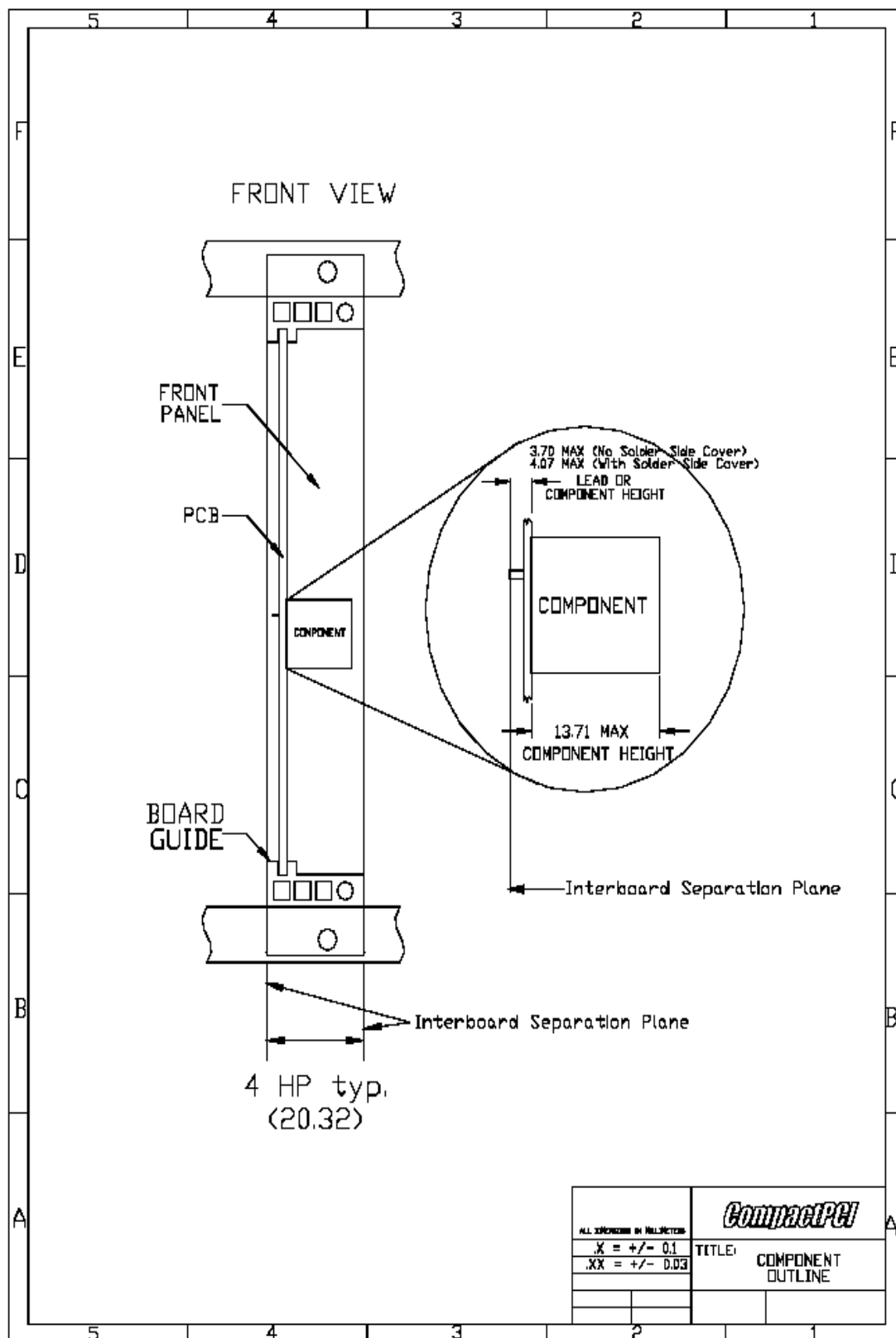


图13 构件略图

4.1.9 前面板

CPCI适配板提供一个符合欧洲板卡封装形式的前面板接口。CPCI适配板使用符合IEEE 1101.1（平面板）和IEEE 1101.10（EMC面板）标准的前面板。首选IEEE 1101.10标准的EMC面板，并且所有的适配板和填充板都应该使用它。

通用需要用到符合IEEE 1101.10标准的排出器/注射器手柄。3U板卡使用1个排出器手柄，6U板卡使用2个手柄。填充面板并不需要手柄。子架同样需要满足IEEE 1101.10标准。

CPCI模板插入子架的前端入口是由IEEE 1101.1和IEEE 1101.10定义的，后面板入口是由IEEE 1101.11定义的。

子架上的物理槽位置可以由子架前方（或后方如果使用后面板I/O模板）的可视化编码配置给出。物理编码必须使用可功能符号。

连接器卸载、分类以及管理都会根据需求变化。CPCI标识符应能够在前面板上清晰可见。

模板上的功能符也应该位于前面板上。这些功能符有：

- 三角形 系统槽
- 圆形 外围槽

图14给出了CPCI的功能符。既可用于系统槽又能用于外围槽的模板必须在其顶部标识两个功能符。



图14 CPCI 功能符

4.1.9.1 3U前面板

3U模板使用一个IEEE 1101.10手柄，此手柄位于模板底部，如图16所示。

4.1.9.2 6U前面板

6U模板使用两个IEEE 1101.10手柄，如图17所示。

4.1.10 系统槽识别

使用一个红色的指示幅来显示CPCI子架上的系统槽。这样可以用户很容易的定位系统槽。外围槽不允许使用红色指示幅。

4.2 后面板 I/O 适配器需求

前端插入适配器可以通过背板上的J2/P2，J3/P3，J4/P4以及J5/P5连接器对访问I/O，使用任意通用连接器。对于很多应用，不经过背板访问这个I/O的唯一可行方法是使用一个带有标准I/O连接器的后面I/O转接板，每种类型I/O对于特定的I/O连接器。

4.2.1 机械部件

IEEE 1101.11为后面板I/O转接板定义了一般机械部件。后面板I/O转接板和子架上的机械部件实现必须符合IEEE 1101.11标准以适合80mm深的模板和子架。

使用与前面CPCI模板相同的前面板、手柄、编码键、引脚阵以及相同在EMC、ESD结构。

使用与子架前边相同的子架杆、引导卡、EMC支持、ESD支持、编码键、针孔阵以及注入器/

抽取器栅，尤其是引导卡深度。

注：后面板I/O转接板与CPCI模板保持一致。这就意味着后面板I/O转接板的前面板与适配板的前面板成反转关系。顶端手柄位于底部，底部手柄位于顶部。

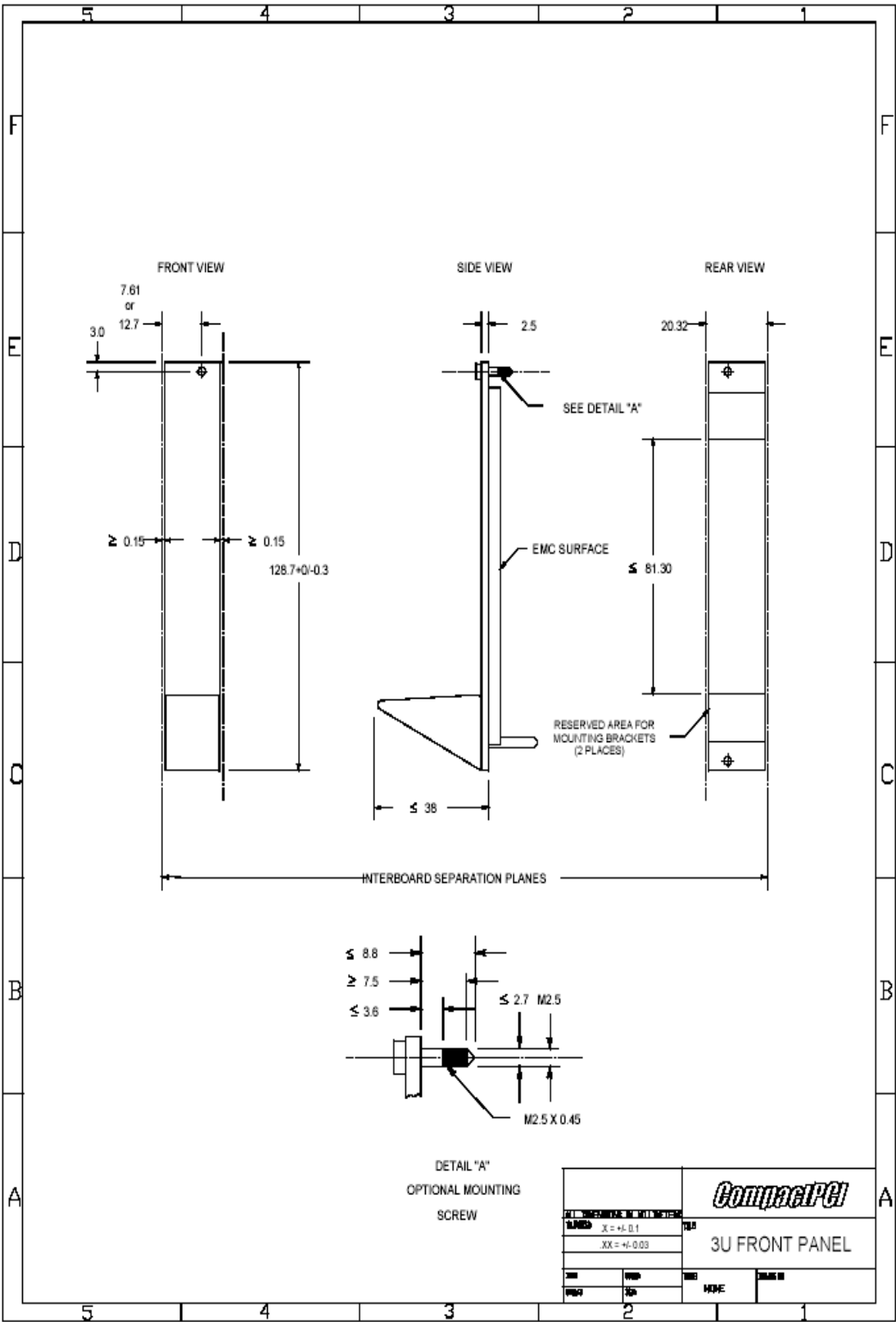


图16 3UEMC前面板

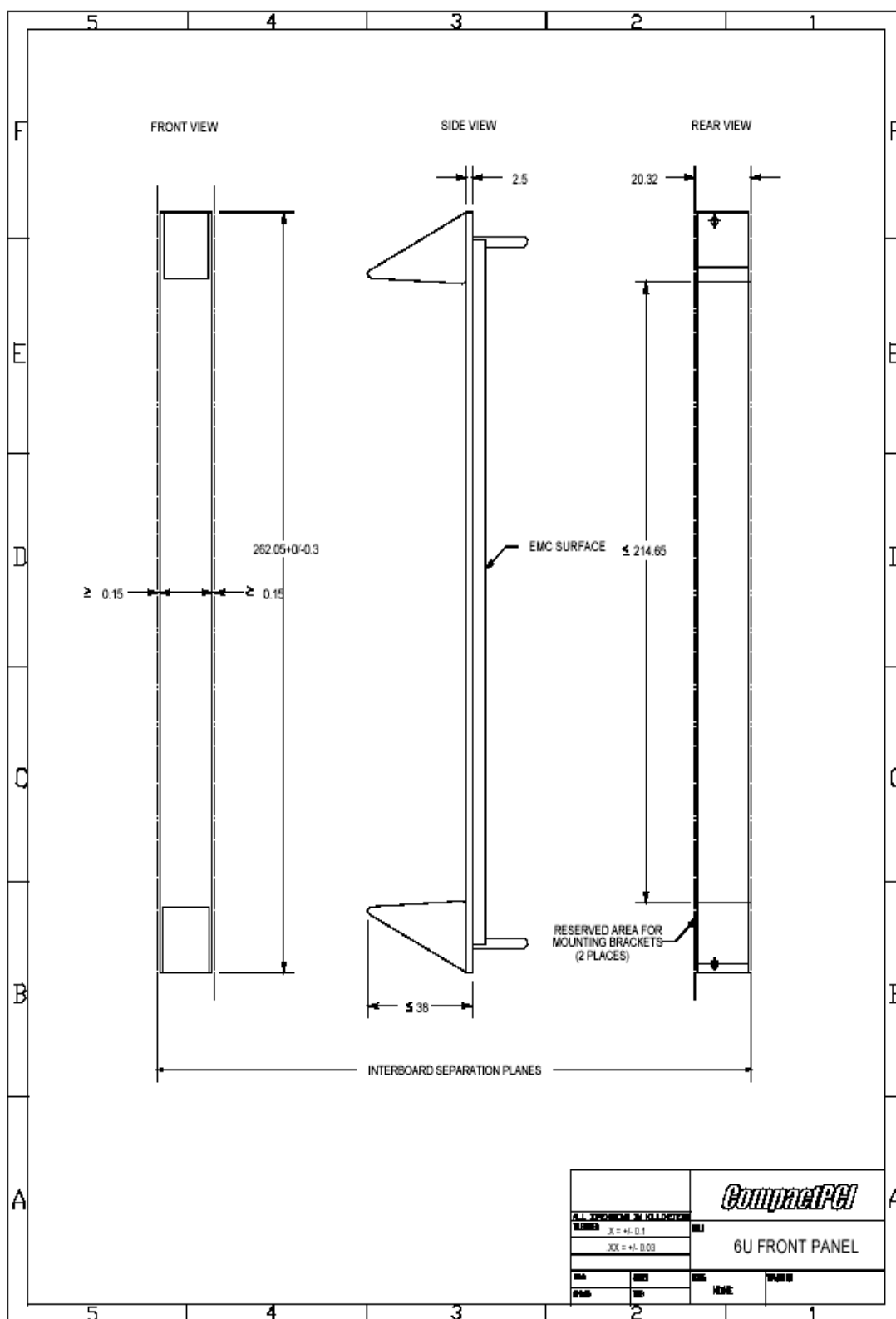


图17 6U EMC前面板

引导卡和前面板上的插槽按键孔与孔标位置与前面适配板及引导卡的位置相互颠倒。

后面I/O转接板应使用与前面适配板相同的连接器引脚标识号，使用从低到高的位置编号。实际上这就是前面模板布局方位的一个镜像。通过使用数字1对应引脚1的映射标记顺序排出I/O引脚映射混乱的问题。例如，前面模板引脚J5:A3

连接到背板的P5:A3上。

4.2.2 电源

很多应用中，后面板转接适配器带有有源器件。电源既可以通过前面适配板传给I/O引脚，也可以通过标准的电源和接地引脚供电，此引脚定义为J1/P1和J2/P2连接器引脚的一部分。

4.2.3 后面板按键

必须符合PICMG 2.10PCI适配板和背板键控规范。

4.3 背板需求

4.3.1 连接器位置

图18给出了从系统底盘前方看过去的总线段连接器位置。系统槽可以安装在背板的任意位置但是必须安装在总线段的最最左短或最右端，除非用其他方式模拟能够符合PCI规范。

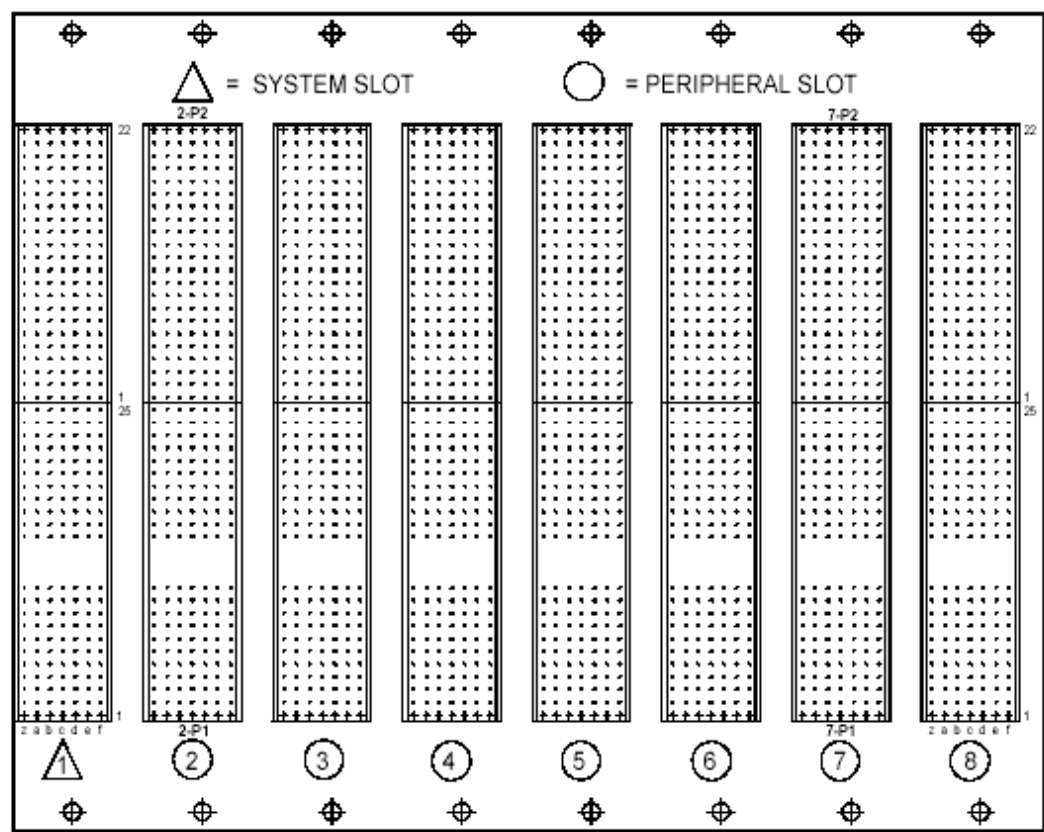


图18 3U背板示例 一前视图

4.3.2 槽间距

本规范和所有背板仿真都假定线性拓扑结构使用20.32mm (0.8inch) 的板中心间距。其他形

式的拓扑结构必须经过仿真或其他手段验证了能符合PCI规范后才能使用。

不带PCI桥的总线段最多有8个插槽。

4.3.3 插槽标号

背板插槽按照从1到N的方式标号，这里的N是指插槽的个数。例如，一个8插槽背板标记背板槽为1—8并带有功能符。插槽标号从前面看过去的顶端左侧开始。

逻辑槽编号是由板选信号IDSEL和表7给出的用来选择插槽的关联地址共同定义的。逻辑槽号被用来定义总线段上的连接器物理输出线。查阅第3章了解信号路由需求。

每个插槽上可以使用一个或多个连接器。背板连接器被设计成P1—P5，对应与图6和图7给出的模板连接器。

任意给定的连接器都采用第1位是逻辑槽号（1…8），紧接着是连接符，接下来才是独立的连接器（P1…P5）。例如，32位3U系统上的5-P2分配给后面板I/O连接器的逻辑槽5；64位6U系统上的1-P3被分配给后面板I/O连接器的逻辑槽1。

4.3.4 总线段

总线段可以提供64位操作或者为每块适配板插槽的REQ64#和ACK64#信号提供上拉电阻。了解更多细节请查阅PCI规范。系统槽使用J1和J2来允许总线仲裁和时钟信号通过系统槽适配器传递到背板。为实现热插拔操作，连接器要求引脚分段。

CPCI总线段必须能在段内所有插槽中传输所有信号，除了插槽特有信号：CLK, REQ#和GNT#。为了能构造（即插即用）译码，每个逻辑槽都有唯一一个板选信号IDSEL连接一个上部ADxx信号。

背板应该连接系统槽上的DEG#（P2:C16）和 FAL#（P2:C15）信号，这些信号由电源或其他系统管理功能提供。

4.3.5 背板尺寸

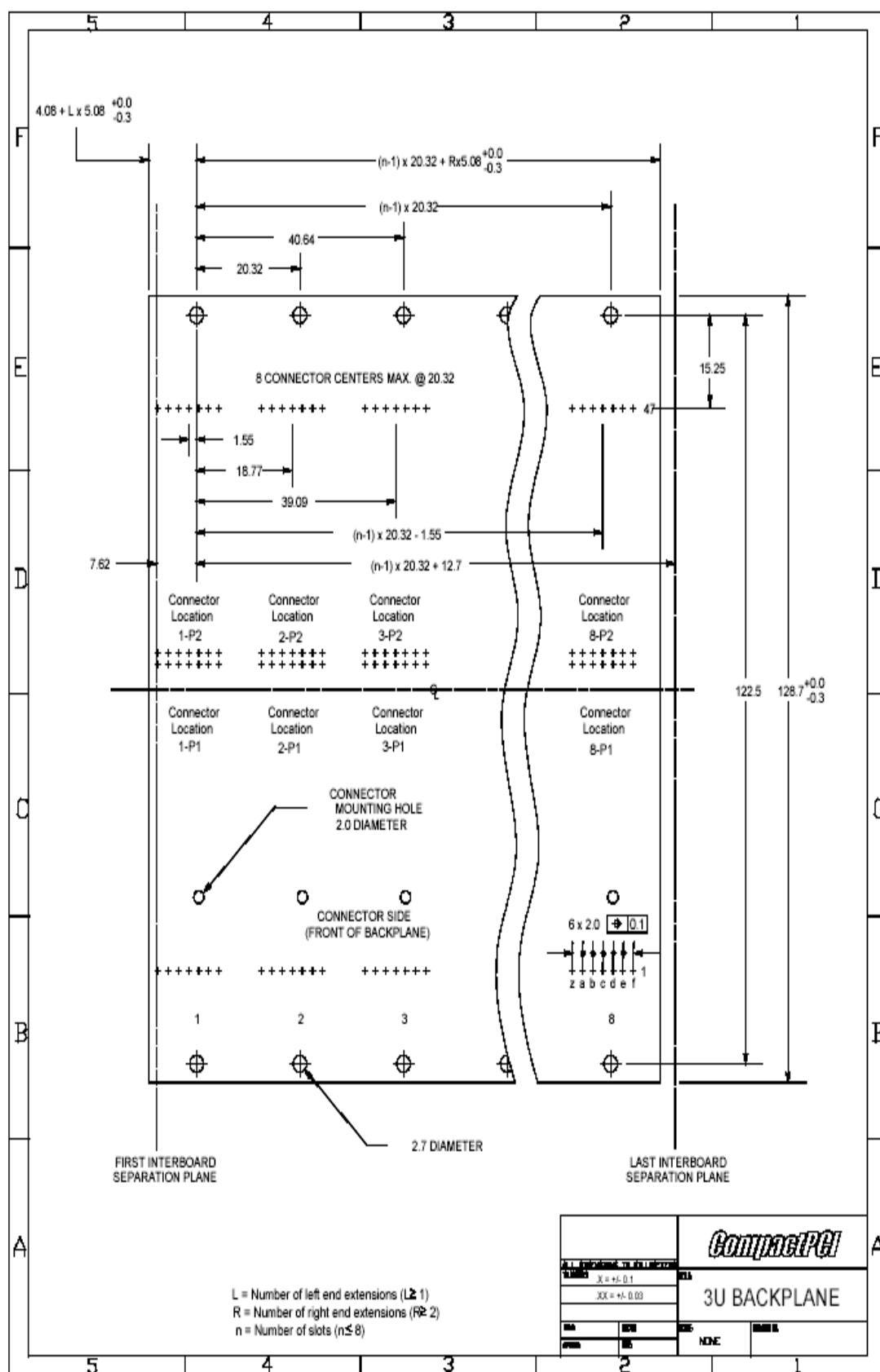
由于系统设计需求、终端网络等其他因素，背板的左端和右端可以制作的稍大些。当需要扩展时，最终尺寸可以有5.08mm的增量。背板和子架的部件结构允许增加。

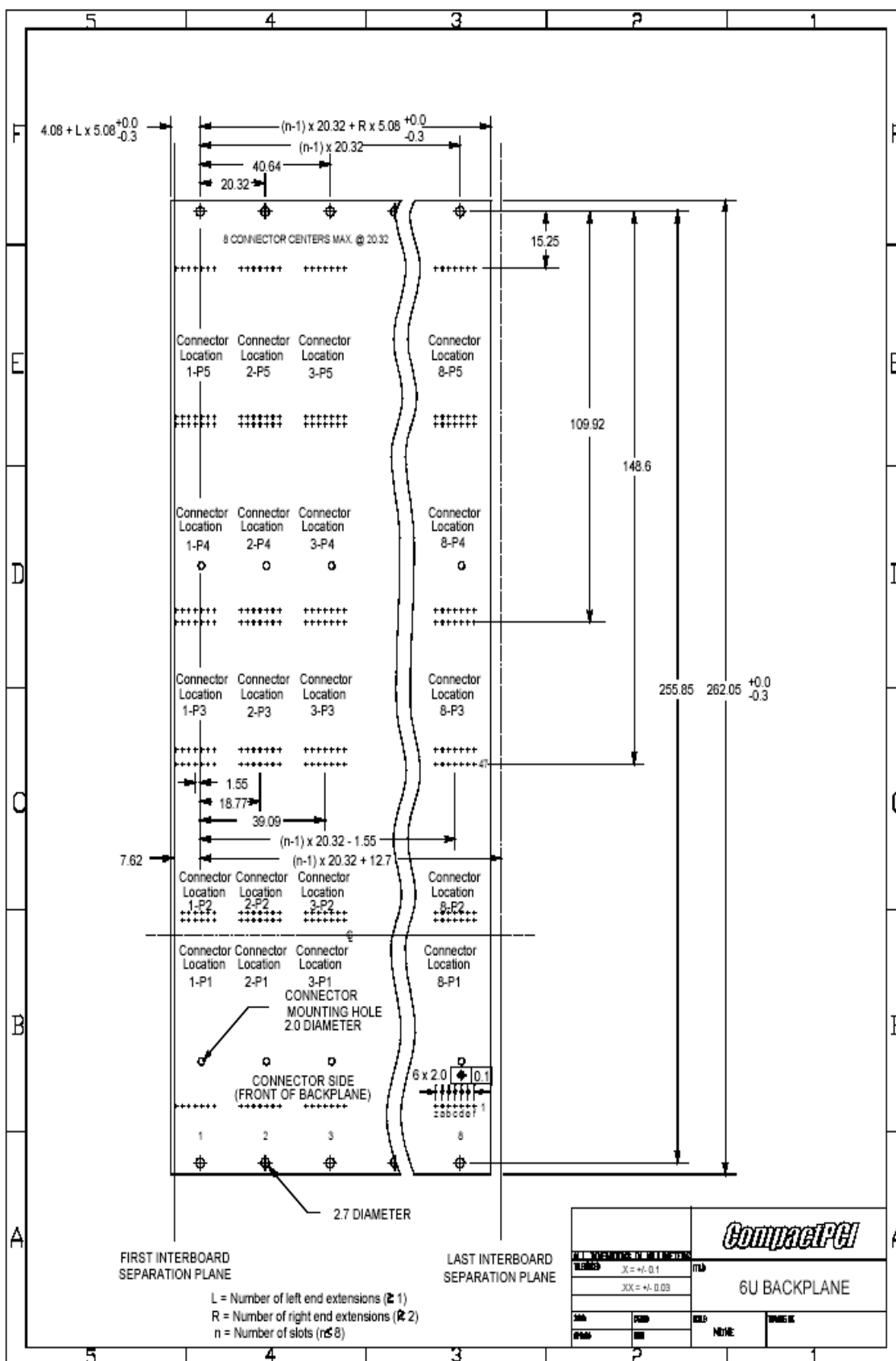
4.3.5.1 3U背板

图19给出了一个不带电源连接器的3U背板。这个图也展示了物理槽编号从1到8。

4.3.5.2 6U背板

图20给出了一个不带电源连接器的3U背板。这个图也展示了物理槽编号从1到8。





5 连接器实现

所有的3U/6UCPCI板卡和背板都是通过图21和图22所示的连接器实现互联的。这些连接器都属于IEC 61076-4-101定义的2mm高密度量家族。附录B连接器实现和连接器引脚命名机制。

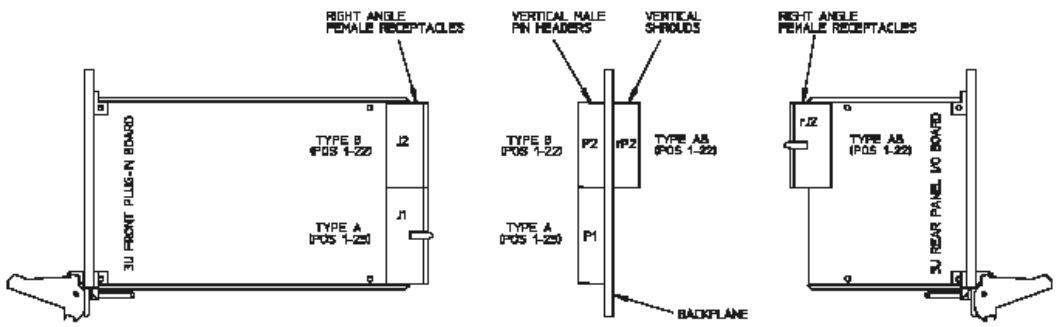


图21 3U 连接器实现

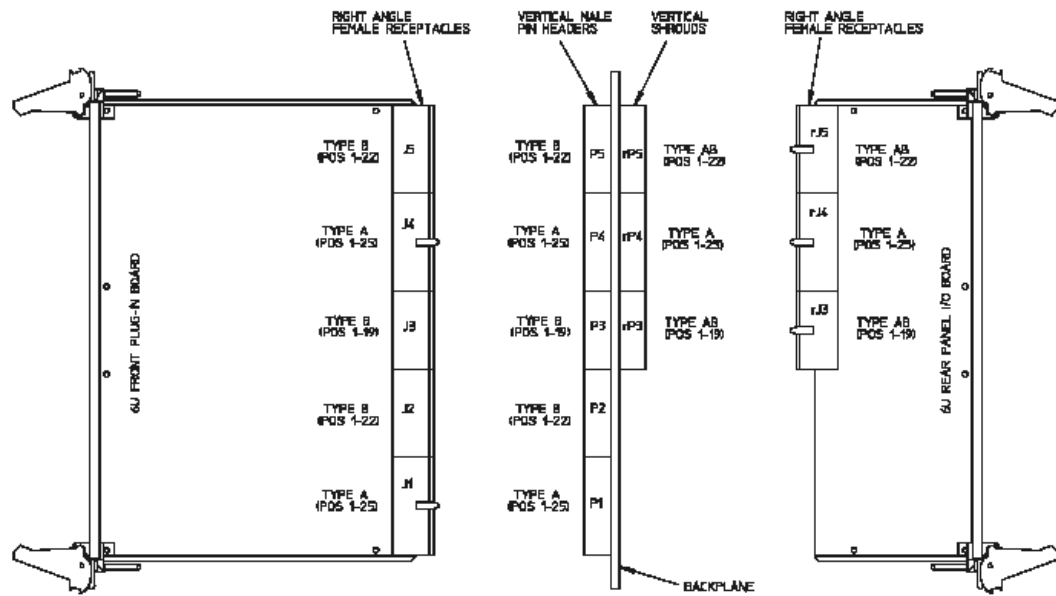


图22 6U 连接器实现

5.1 概述

5.1.1 连接器位置

连接器位置从下到上被指派为编号1到5。前插入板卡的连接器分配的前缀是“J”。底板前面的连接器则分配了前缀“P”。底板后面的连接器分配了前缀“rP”。后面板I/O的连接器分配了前缀“rJ”。

5.1.2 构架类型

连接器的构架类型由类型A、类型B和类型AB给出。类型A连接器具有调整特性和编码按键，类型B连接器不具备这些特性。类型AB连接器具有调整特性但没有编码按键。类型AB连接器比较

新，出现在IEC规范编写之后，因此未被编入其内。了解信息请参阅PICMG 类型AB 2mm连接器方针文献。

为了避免混淆，所有产品包括后面I/O模板（模板、系统、背板等）都应该清楚地为用户手册中给出，这个用户手册既要符合CPCI规范中的R 2. X也要符合R 3. X。

系统和背板供应商应该在rP2/rP3/rP5位置提供类型AB防护罩，以确保后面生产的模板同已有后面I/O模板兼容，以及先前生产的模板同今天正在生产的后面I/O模板兼容。参阅附录B了解2mm 连接器使用方法的更多信息。

5.1.3 连接器末端长

在CPCI连接器实现中，通过连接器仅被定义来连接背板的前端接口，不能鸵鸟国故背板扩展。穿过连接器具有较长末端，可以通过背板扩展为后面板I/O接口。

为后面板I/O定义的连接器的连接器必须具备16mm长度的穿透末端，为未被定义成后面板I/O的连接器的连接器应该被feed-to。

5.1.4 背板/板卡可选数量

最低意义上来讲，J1连接器被用作32位CPCI而J2被用作64位CPCI信号。其他的连接器需要根据系统需求来决定是否安装。

5.2 J1（32 位 PCI 信号）

CPCI适配板连接器J1被用作32位PCI信号，如表13给出的那样。32位模板都应该使用这个连接器。连接器J2的使用具有可选择性。

5.3 J2 连接器

J2可以被用作64位PCI传输或后面I/O。这个连接器的功能按键由IEEE 1101.10后面板按键提供。J2应该被用在系统槽适配板上，以提供总线仲裁和时钟信号给外围适配板。J2以可以在这种情况下使用，当支持64位PCI操作、后面板I/O或物理寻址时。

5.3.1 外围槽 64 位 PCI

表13给出了64位PCI对J2的映射关系。

5.3.2 外围槽后面 I/O

表14给出了外围槽后面I/O到J2的映射关系。

5.3.3 系统槽 64 位 PCI

见表15。

5.3.4 系统槽后面 I/O

见表16。

5.4 预留的通信引脚

BRSVPxxx信号应该在连接器间相互传送，它被留作预定义。

5.5 预留的非通信引脚

BSR信号不会在连接器间互传，它被用作预定义。

5.6 电源引脚

所有的CPCI连接器都提供了+5V,+3.3V,+12V和-12V电源。标记为+V(I/O)的附加电源引脚用来为通用模板提供电源，利用I/O缓冲器驱动+5V或+3.3V背板信号。

这些板卡上的PCI组件—I/O缓冲器使用V(I/O)供电而不是从+5V或+3.3V电源引脚。

标为V(I/O)的背板引脚被连接到5V按键系统的+5V和3.3V按键系统的+3.3V。

作为选择，一个独立的V(I/O)电源面板可以由5V或3.3V电源供电。

IEC 61076-4-101连接器是一个压配合连接器。电压板和连接器引脚之间的连接必须是一个可靠的互联。这样就在连接器引脚和每块电源面板之间提供了一个低自感线路。

5.7 5V/3.3V PCI 按键

CPCI实现了一个按键机制，用来区分5V和3.3V信号操作。这个按键机制被设计来防止一种缓冲器技术（5V或3.3V）构建的适配板插入到设计成其他缓冲器技术（分别对应3.3V或5V）的系统中。通用适配板既可以运行在5V系统又可以运行在3.3V系统，而不需要键控。CPCI连接器的12位到14位被用作键控机制。这就要求背板被配置成5V或3.3V，并且提供适当的按键。不可能实现一个通用背板。参阅PICNG 2.10 CPCI适配板按键和背板规范对按键的补充资料。

表12 编码按键颜色分配及配件编号

Signaling Voltage V(I/O)	Color Reference		Code #	
	Color	RAL # ⁽¹⁾	Male (Back-plane)	Female (Board)
3.3 V	Cadmium Yellow	1021	3456	1278
5 V	Brilliant Blue	5007	1567	2348
3.3 V or 5 V (Universal Board)	-	-	N/A ⁽²⁾	No Key

注：·RAL是德国质量保证重要组织的标志。他们的任务之一就是协调颜色应用。

·背板应该被配置称5V或3.3VV(I/O)。插入的适配板应该设计成通用型，也就不带按键。

5.8 引脚分配

表13 CPCI外围槽64位连接器引脚分配

22	GND	GA4 ⁽¹³⁾	GA3 ⁽¹³⁾	GA2 ⁽¹³⁾	GA1 ⁽¹³⁾	GA0 ⁽¹³⁾	GND	P2 / J2
21	GND	RSV	RSV	RSV	RSV	RSV	GND	
20	GND	RSV	RSV	RSV	GND	RSV	GND	
19	GND	RSV	RSV	RSV	RSV	RSV	GND	
18	GND	BRSVP2A18	BRSVP2B18	BRSVP2C18	GND	BRSVP2E18	GND	
17	GND	BRSVP2A17	GND	RSV	RSV	RSV	GND	
16	GND	BRSVP2A16	BRSVP2B16	RSV	GND	BRSVP2E16	GND	
15	GND	BRSVP2A15	GND	RSV	RSV	RSV	GND	
14	GND	AD[35]	AD[34]	AD[33]	GND	AD[32]	GND	C O N N E C T O R
13	GND	AD[38]	GND	V(I/O) ⁽²⁾	AD[37]	AD[36]	GND	
12	GND	AD[42]	AD[41]	AD[40]	GND	AD[39]	GND	
11	GND	AD[45]	GND	V(I/O) ⁽²⁾	AD[44]	AD[43]	GND	
10	GND	AD[49]	AD[48]	AD[47]	GND	AD[46]	GND	
9	GND	AD[52]	GND	V(I/O) ⁽²⁾	AD[51]	AD[50]	GND	
8	GND	AD[56]	AD[55]	AD[54]	GND	AD[53]	GND	
7	GND	AD[59]	GND	V(I/O) ⁽²⁾	AD[58]	AD[57]	GND	
6	GND	AD[63]	AD[62]	AD[61]	GND	AD[60]	GND	
5	GND	C/BE[5]#	GND	V(I/O) ⁽²⁾	C/BE[4]#	PAR64	GND	
4	GND	V(I/O) ⁽²⁾	BRSVP2B4	C/BE[7]#	GND	C/BE[6]#	GND	
3 ⁽³⁾	GND	RSV	GND	RSV	RSV	RSV	GND	
2 ⁽³⁾	GND	RSV	RSV	UNC ⁽⁴⁾	RSV	RSV	GND	
1 ⁽³⁾	GND	RSV	GND	RSV	RSV	RSV	GND	
25	GND	5V	REQ64#	ENUM#	3.3V	5V	GND	P1 / J1
24	GND	AD[1]	5V	V(I/O) ⁽²⁾	AD[0]	ACK64#	GND	
23	GND	3.3V	AD[4]	AD[3]	5V	AD[2]	GND	
22	GND	AD[7]	GND	3.3V	AD[6]	AD[5]	GND	
21	GND	3.3V	AD[9]	AD[8]	M66EN ⁽⁵⁾	C/BE[0]#	GND	
20	GND	AD[12]	GND	V(I/O) ⁽²⁾	AD[11]	AD[10]	GND	
19	GND	3.3V	AD[15]	AD[14]	GND	AD[13]	GND	
18	GND	SERR#	GND	3.3V	PAR	C/BE[11]#	GND	
17	GND	3.3V	IPMB_SCL	IPMB_SDA	GND	PERR#	GND	
16	GND	DEVSEL#	GND	V(I/O) ⁽²⁾	STOP#	LOCK#	GND	
15	GND	3.3V	FRAME#	IRDY#	BD_SEL# ⁽⁷⁾	TRDY#	GND	
12-14	KEY AREA							C O N N E C T O R
11	GND	AD[18]	AD[17]	AD[16]	GND	C/BE[2]#	GND	
10	GND	AD[21]	GND	3.3V	AD[20]	AD[19]	GND	
9	GND	C/BE[3]#	IDSEL ⁽⁷⁾	AD[23]	GND	AD[22]	GND	
8	GND	AD[26]	GND	V(I/O) ⁽²⁾	AD[25]	AD[24]	GND	
7	GND	AD[30]	AD[29]	AD[28]	GND	AD[27]	GND	
6	GND	REQ#	GND	3.3V	CLK	AD[31]	GND	
5	GND	BRSVP1A5	BRSVP1B5	RST#	GND	GNT#	GND	
4	GND	IPMB_PWR	HEALTHY# ⁽¹⁸⁾	V(I/O) ⁽²⁾	INTP	INTS	GND	
3	GND	INTA#	INTB#	INTC#	5V	INTD#	GND	
2	GND	TCK ⁽¹⁵⁾	5V	TMS ⁽¹⁵⁾	TDO ⁽¹⁵⁾	TDI ⁽¹⁵⁾	GND	
1	GND	5V	-12V	TRST# ⁽¹⁵⁾	+12V	5V	GND	
Pin	Z ⁽¹⁴⁾	A	B	C	D	E	F ⁽⁶⁾	

 = long pins (front only)
  = short pins (front only)
  = medium length pins (front only)

表14 CPCI外围槽后面板I/O连接器引脚分配

22	GND	GA4 ⁽¹³⁾	GA3 ⁽¹³⁾	GA2 ⁽¹³⁾	GA1 ⁽¹³⁾	GA0 ⁽¹³⁾	GND	P2 / J2 C O N N E C T O R
21	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
20	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
19	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
18	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
17	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
16	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
15	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
14	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
13	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
12	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
11	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
10	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
9	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
8	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
7	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
6	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
5	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
4	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
3	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
2	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
1	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
25	GND	5V	REQ64#	ENUM#	3.3V	5V	GND	P1 / J1 C O N N E C T O R
24	GND	AD[1]	5V	V(I/O) ⁽²⁾	AD[0]	ACK64#	GND	
23	GND	3.3V	AD[4]	AD[3]	5V	AD[2]	GND	
22	GND	AD[7]	GND	3.3V	AD[6]	AD[5]	GND	
21	GND	3.3V	AD[9]	AD[8]	M66EN ⁽⁵⁾	C/BE[0]#	GND	
20	GND	AD[12]	GND	V(I/O) ⁽²⁾	AD[11]	AD[10]	GND	
19	GND	3.3V	AD[15]	AD[14]	GND	AD[13]	GND	
18	GND	SERR#	GND	3.3V	PAR	C/BE[1]#	GND	
17	GND	3.3V	IPMB SCL	IPMB SDA	GND	PERR#	GND	
16	GND	DEVSEL#	GND	V(I/O) ⁽²⁾	STOP#	LOCK#	GND	
15	GND	3.3V	FRAME#	IRDY#	RD SEL# ⁽⁷⁾	TRDY#	GND	
12-14	KEY AREA							C O N N E C T O R
11	GND	AD[18]	AD[17]	AD[16]	GND	C/BE[2]#	GND	
10	GND	AD[21]	GND	3.3V	AD[20]	AD[19]	GND	
9	GND	C/BE[3]#	IDSEL ⁽⁷⁾	AD[23]	GND	AD[22]	GND	
8	GND	AD[26]	GND	V(I/O) ⁽²⁾	AD[25]	AD[24]	GND	
7	GND	AD[30]	AD[29]	AD[28]	GND	AD[27]	GND	
6	GND	REQ#	GND	3.3V	CLK	AD[31]	GND	
5	GND	BRSVP1A5	BRSVP1B5	RST#	GND	GNT#	GND	
4	GND	IPMB PWR	HEALTHY# ⁽¹⁸⁾	V(I/O) ⁽²⁾	INTP	INTS	GND	
3	GND	INTA#	INTB#	INTC#	5V	INTD#	GND	
2	GND	TCK ⁽¹⁵⁾	5V	TMS ⁽¹⁵⁾	TDO ⁽¹⁵⁾	TDI ⁽¹⁵⁾	GND	
1	GND	5V	-12V	TRST# ⁽¹⁵⁾	+12V	5V	GND	
Pin	Z ⁽¹⁴⁾	A	B	C	D	E	F ⁽⁹⁾	

 = long pins (front only)
  = short pins (front only)
  = medium length pins (front only)

表15 CPCI系统槽连接器引脚分配

22	GND	GA4 ⁽¹³⁾	GA3 ⁽¹³⁾	GA2 ⁽¹³⁾	GA1 ⁽¹³⁾	GA0 ⁽¹³⁾	GND	P2 / J2	
21	GND	CLK6	GND	RSV	RSV	RSV	GND		
20	GND	CLK5	GND	RSV	GND	RSV	GND		
19	GND	GND	GND	RSV ⁽¹⁶⁾	RSV ⁽¹⁶⁾	RSV ⁽¹⁶⁾	GND		
18	GND	BRSVP2A18	BRSVP2B18	BRSVP2C18	GND	BRSVP2E18	GND		
17	GND	BRSVP2A17	GND	PRST#	REQ6#	GNT6#	GND		
16	GND	BRSVP2A16	BRSVP2B16	DEG#	GND	BRSVP2E16	GND		
15	GND	BRSVP2A15	GND	FAL#	REQ5#	GNT5#	GND		
14	GND	AD[35]	AD[34]	AD[33]	GND	AD[32]	GND		C O N N E C T O R
13	GND	AD[38]	GND	V(I/O) ⁽²⁾	AD[37]	AD[36]	GND		
12	GND	AD[42]	AD[41]	AD[40]	GND	AD[39]	GND		
11	GND	AD[45]	GND	V(I/O) ⁽²⁾	AD[44]	AD[43]	GND		
10	GND	AD[49]	AD[48]	AD[47]	GND	AD[46]	GND		
9	GND	AD[52]	GND	V(I/O) ⁽²⁾	AD[51]	AD[50]	GND		
8	GND	AD[56]	AD[55]	AD[54]	GND	AD[53]	GND		
7	GND	AD[59]	GND	V(I/O) ⁽²⁾	AD[58]	AD[57]	GND		
6	GND	AD[63]	AD[62]	AD[61]	GND	AD[60]	GND		
5	GND	C/BE[5]#	GND	V(I/O) ⁽²⁾	C/BE[4]#	PAR64	GND		
4	GND	V(I/O) ⁽²⁾	BRSVP2B4	C/BE[7]#	GND	C/BE[6]#	GND		
3 ⁽³⁾	GND	CLK4	GND	GNT3#	REQ4#	GNT4#	GND	P1 / J1	
2 ⁽³⁾	GND	CLK2	CLK3	SYSEN# ⁽⁴⁾	GNT2#	REQ3#	GND		
1 ⁽³⁾	GND	CLK1	GND	REQ1#	GNT1#	REQ2#	GND		
25	GND	5V	REQ64#	ENUM#	3.3V	5V	GND		
24	GND	AD[1]	5V	V(I/O) ⁽²⁾	AD[0]	ACK64#	GND		
23	GND	3.3V	AD[4]	AD[3]	5V	AD[2]	GND		
22	GND	AD[7]	GND	3.3V	AD[6]	AD[5]	GND		
21	GND	3.3V	AD[9]	AD[8]	M66EN ⁽⁵⁾	C/BE[0]#	GND		
20	GND	AD[12]	GND	V(I/O) ⁽²⁾	AD[11]	AD[10]	GND		
19	GND	3.3V	AD[15]	AD[14]	GND	AD[13]	GND		
18	GND	SERR#	GND	3.3V	PAR	C/BE[1]#	GND	C O N N E C T O R	
17	GND	3.3V	IPMB SCL	IPMB SDA	GND	PERR#	GND		
16	GND	DEVSEL#	GND	V(I/O) ⁽²⁾	STOP#	LOCK#	GND		
15	GND	3.3V	FRAME#	IRDY#	GND	TRDY#	GND		
12-14	KEY AREA								
11	GND	AD[18]	AD[17]	AD[16]	GND	C/BE[2]#	GND		
10	GND	AD[21]	GND	3.3V	AD[20]	AD[19]	GND		
9	GND	C/BE[3]#	GND	AD[23]	GND	AD[22]	GND		
8	GND	AD[26]	GND	V(I/O) ⁽²⁾	AD[25]	AD[24]	GND		
7	GND	AD[30]	AD[29]	AD[28]	GND	AD[27]	GND		
6	GND	REQ0#	GND	3.3V	CLK0	AD[31]	GND		
5	GND	BRSVP1A5	BRSVP1B5	RST#	GND	GNT0#	GND		
4	GND	IPMB PWR	HEALTHY# ⁽¹⁵⁾	V(I/O) ⁽²⁾	INTP	INTS	GND		
3	GND	INTA#	INTB#	INTC#	5V	INTD#	GND		
2	GND	TCK ⁽¹⁵⁾	5V	TMS ⁽¹⁵⁾	TD0 ⁽¹⁵⁾	TD1 ⁽¹⁵⁾	GND		
1	GND	5V	-12V	TRST# ⁽¹⁵⁾	+12V	5V	GND		
Pin	Z ⁽¹⁴⁾	A	B	C	D	E	F ⁽⁹⁾		

 = long pins (front only)
  = short pins (front only)
  = medium length pins (front only)

表16 CPCI系统槽后面板I/O连接器引脚分配

22	GND	GA4 ⁽¹³⁾	GA3 ⁽¹³⁾	GA2 ⁽¹³⁾	GA1 ⁽¹³⁾	GA0 ⁽¹³⁾	GND	P2 / J2
21	GND	CLK6	GND	BP(I/O)	BP(I/O)	BP(I/O)	GND	
20	GND	CLK5	GND	BP(I/O)	BP(I/O)	BP(I/O)	GND	
19	GND	GND	GND	BP(I/O) ⁽¹⁶⁾	BP(I/O) ⁽¹⁶⁾	BP(I/O) ⁽¹⁶⁾	GND	
18	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
17	GND	BP(I/O)	BP(I/O)	PRST#	REQ6#	GNT6#	GND	
16	GND	BP(I/O)	BP(I/O)	DEG#	GND	BP(I/O)	GND	
15	GND	BP(I/O)	BP(I/O)	FAL#	REQ5#	GNT5#	GND	
14	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
13	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
12	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
11	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
10	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
9	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
8	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
7	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
6	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
5	GND	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
4	GND	V(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	BP(I/O)	GND	
3 ⁽³⁾	GND	CLK4	GND	GNT3#	REQ4#	GNT4#	GND	
2 ⁽³⁾	GND	CLK2	CLK3	SYSEN# ⁽⁴⁾	GNT2#	REQ3#	GND	
1 ⁽³⁾	GND	CLK1	GND	REQ1#	GNT1#	REQ2#	GND	
25	GND	5V	REQ64#	ENUM#	3.3V	5V	GND	P1 / J1
24	GND	AD[1]	5V	V(I/O) ⁽²⁾	AD[0]	ACK64#	GND	
23	GND	3.3V	AD[4]	AD[3]	5V	AD[2]	GND	
22	GND	AD[7]	GND	3.3V	AD[6]	AD[5]	GND	
21	GND	3.3V	AD[9]	AD[8]	M66EN ⁽⁵⁾	C/BE[0]#	GND	
20	GND	AD[12]	GND	V(I/O) ⁽²⁾	AD[11]	AD[10]	GND	
19	GND	3.3V	AD[15]	AD[14]	GND	AD[13]	GND	
18	GND	SERR#	GND	3.3V	PAR	C/BE[1]#	GND	
17	GND	3.3V	IPMB SCL	IPMB SDA	GND	PERR#	GND	
16	GND	DEVSEL#	GND	V(I/O) ⁽²⁾	STOP#	LOCK#	GND	
15	GND	3.3V	FRAME#	IRDY#	GND	TRDY#	GND	
12-14	KEY AREA							
11	GND	AD[18]	AD[17]	AD[16]	GND	C/BE[2]#	GND	
10	GND	AD[21]	GND	3.3V	AD[20]	AD[19]	GND	
9	GND	C/BE[3]#	GND	AD[23]	GND	AD[22]	GND	
8	GND	AD[26]	GND	V(I/O) ⁽²⁾	AD[25]	AD[24]	GND	
7	GND	AD[30]	AD[29]	AD[28]	GND	AD[27]	GND	
6	GND	REQ0#	GND	3.3V	CLK0	AD[31]	GND	
5	GND	BRSVP1A5	BRSVP1B5	RST#	GND	GNT0#	GND	
4	GND	IPMB PWR	HEALTHY# ⁽¹⁸⁾	V(I/O) ⁽²⁾	INTP	INTS	GND	
3	GND	INTA#	INTB#	INTC#	5V	INTD#	GND	
2	GND	TCK ⁽¹⁵⁾	5V	TMS ⁽¹⁵⁾	TDO ⁽¹⁵⁾	TDI ⁽¹⁵⁾	GND	
1	GND	5V	-12V	TRST# ⁽¹⁵⁾	+12V	5V	GND	
Pin	Z ⁽¹⁴⁾	A	B	C	D	E	F ⁽⁶⁾	

= long pins (front only)

= short pins (front only)

= medium length pins (front only)

表13至16中的注意事项：

- 这些图表中定义的引脚分配是从系统机箱前面开始的。参阅第3章系统和模板槽引脚分配的不同。
- V(I/O)是5V或3.3V，依赖于系统实现。
- 表13和14定义了外围槽信号，表15和16定义了系统槽信号。
- 只有系统槽连接器P2上的C2引脚接地。外围槽保持C2悬空 (UNC)。使用这个信号的适

配板需要提供一个局部的上拉电压 (I/O) 。专为系统槽设计的适配板应该直接将C2引脚接地。

·连接器P1上的D21脚 (M66EN) 定义为33MHz背板GND。66MHz的背板上，应该将此引脚上的信号通过总线接入所有的时隙槽。

·在热交换板的P1连接器上，下列信号所对应的引脚应为长引脚：D3, D5, D7, D9, D11, D17, D19, D23, C4, C6, C22, C24。

·连接器P1的D15脚 (BD_SEL#) 作为一个短长度的管脚，用于热交换板的最终连接序列。B9脚 (IDSEL) 也是一个短长度的管脚。可以参考PICMG 2.1，CPCI热交换板的详细说明书。

·这些信号是公共保留信号BRSVPxxx。在早期的说明书里，这些信号被定义为PCI缓存信号SDONE#和 SBO#。

·观察适配板，一些生产商使用了每一个接地端，而另外一些生产商则使用了另外的接地端。

·CPCI连接器的管脚数明显不同于连接器生产商提供的管脚数。这是为了方便连接器从适配板的底层J1/P1开始，通过J5/P5向上延伸之用。

·BP (I/O) 信号具有16mm长的拖尾而被定义为“长尾巴”连接器。更多的详细资料可以参考IEEE 1101.11。P1和P2中的其他所有信号由于只有4.5mm长的拖尾而被定义为“短尾巴”连接器。

·BRSVPxxx信号可以适应PCI的保留信号。信号应该能够通过总线在连接器间实现共享。

·连接器P2被组装时，GA[4..0]应该用于背板的图形地址。在CPCI中，每一个背板连接器都有一个唯一的编码用于GA[4..0]。

·在插入式的适配板中不需要使用Z列。如果在背板的连接器P1和P2中使用的话，Z列的所有管脚都应该与逻辑地端相接。

·不提倡使用JTAG信号。JTAG的管脚定义会在之后的CPCI说明书里重复定义。背板应该将TCK, TMS和TRST#信号通过总线送往所有的CPCI槽。TDO和TDI信号不能使用该总线发送。

·系统管理子委员会将系统槽连接器P2，管脚C19，D19和E19定义为适当的后面板I/O管脚，这些管脚用于系统板的备用I2C总线。更多的资料可以参考PICMG2.9系统管理手册。

·在系统槽中，信号IDSEL和BD_SEL#应该接地端。

·连接器P1的P4管脚保留用作HEALTHY #。背板必须将该管脚悬空并且引入一个旁路电容。

详细资料可以参考PICMG2.1手册。

CPCI 手册的修订史

表17 CPCI手册的修订史

Revision	Date	Description
R1.0	November 1, 1995	Initial release
R2.1	September 2, 1997	Version 2.0 Release 2.1
D3.0	September 23, 1999	Draft Version 3.0

附录

A. CPCI缓冲器模型

下面的时间槽表示了5V和3.3V的CPCI环境中，对其缓冲器模型的模拟。而缓冲器模型则是基于一些可以代表最宽广的PCI缓冲器变化的数据构建，这些缓冲器的变化可以采用现实处理的技术来实现。需要说明的是该模型剔除了一些PCI手册认可的区域。几家半导体器件生产商采用这些模型来校对他们的目前的生产过程。

此外，PICMG的完整模拟测试报告中会提供更加详细的说明信息。

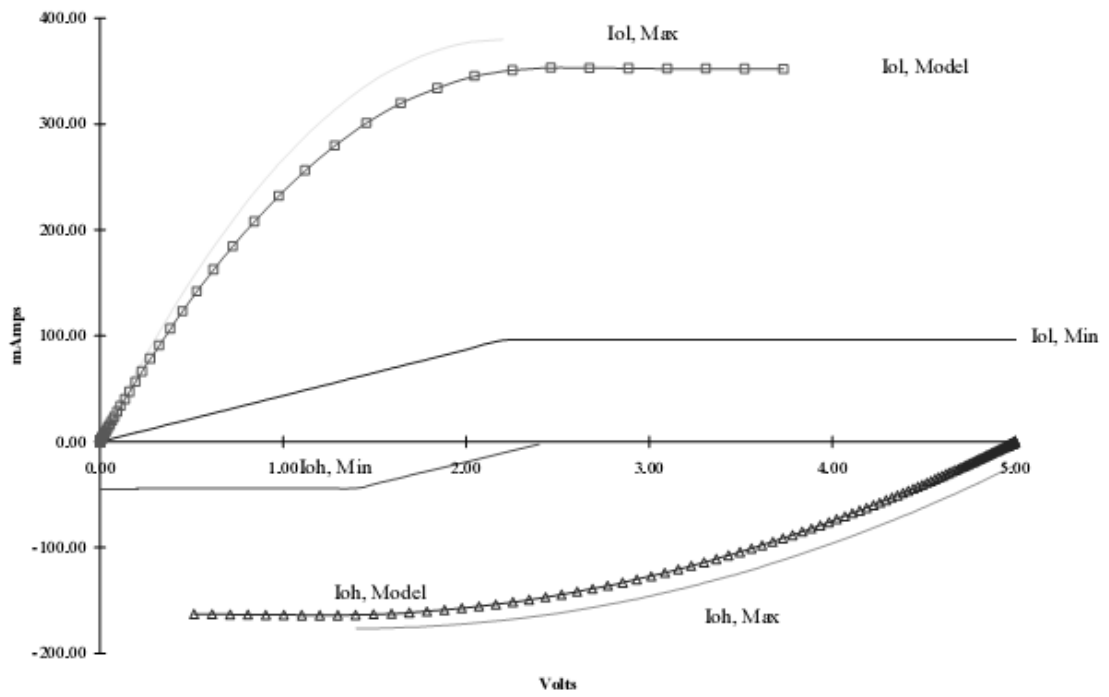


图23 5V强PCI模型

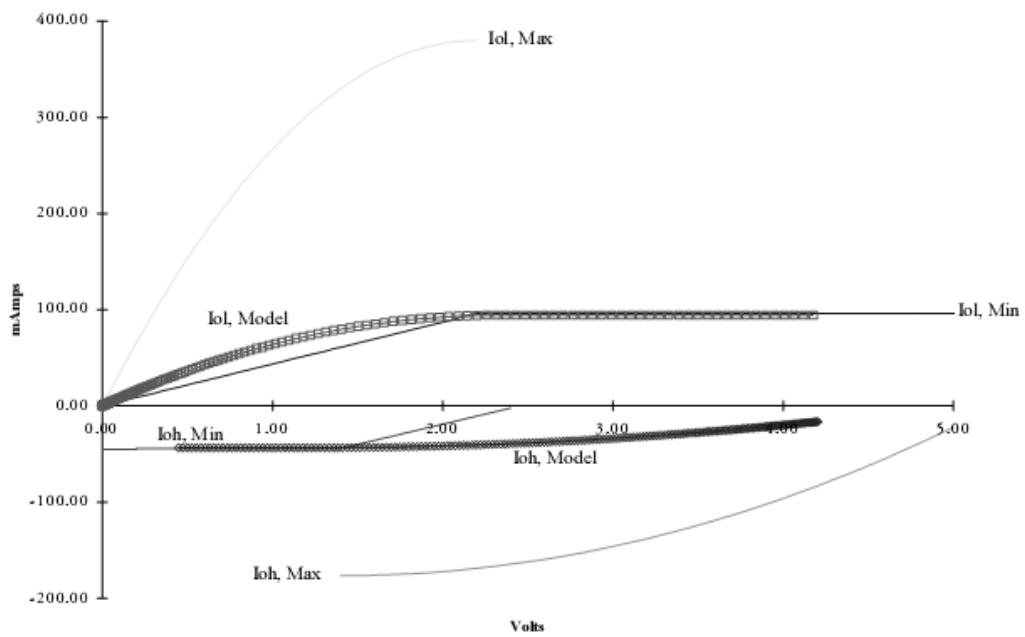


图24 5V弱PCI模型

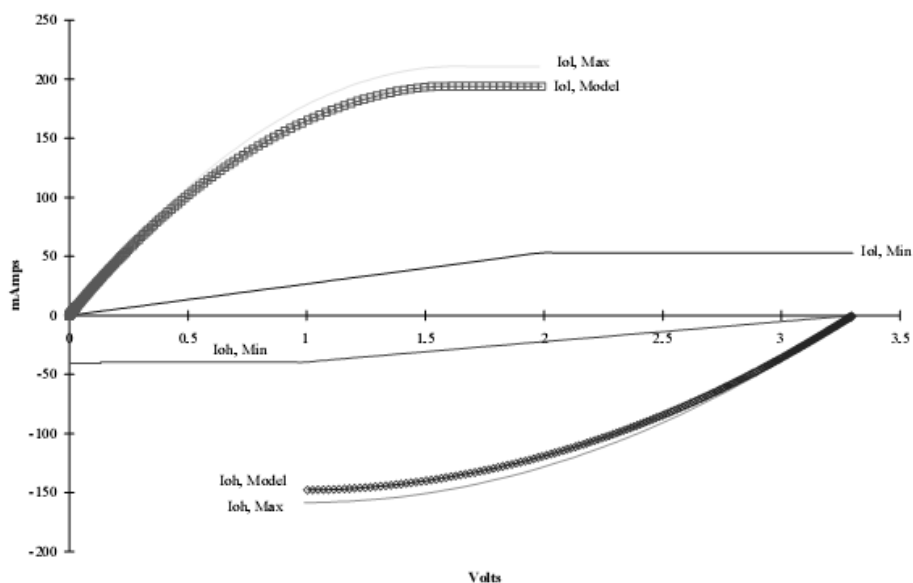


图25 3.3V强PCI模型

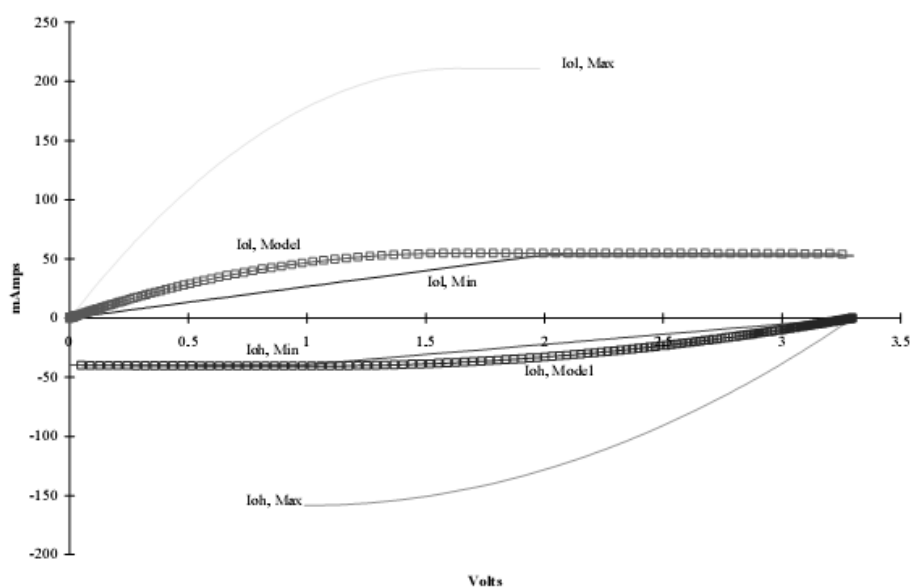


图26 3.3V弱PCI模型

B. 连接器的执行

B.1 综述

本附录为2mm连接器的使用提供了更多的说明，包括背板兼容性的资料。下面的AB型2mm连接器的用户手册提供了关于AB型防护罩在改进的IEC手册里的详细的说明信息。AB型2mm连接器的用户手册应当紧随IEC手册之后推出。

B.2 连接器

当采用IEC—61076—4—101连接器族对CPIC管脚的输出做最初定义的时候，一种困难的选择出现了。在一个3U板卡上，只有47列管脚适合100mm板的尺寸。最初的CPCI“J1”连接器构

成了一个单独的“A”模型，这个模型被指定为J1，并且另一个独立的模型“B”被制定为J2。简单的32位板卡出于节约成本的目的，可以只选择“A”模型来执行。

这就留下“B”模型作为逻辑上的连接器，它通过3列来生成47个列对。因为J2连接器必须被裁减，此外出于两个连接器中间重要的区域必须吻合地接触以及防止J1和J2连接器彼此相互插入180次情况的出现，1—3列需要被移除。这使得连接器只能从第4列开始有效。

已经有一个方法可以自上而下地定位究竟是哪个连接器出现了错误，这可以参见IEC61076—4—101。

B.3 队列

B.3.1 前端插入板卡的队列

前端插入的板卡在类型A连接器上有一些队列的属性，这些用在J1/P1和J4/P4的区域中的属性保证板卡能够正确无误地与背板匹配。

B.3.2 后端插入板卡的队列

由于后端插入板卡上的连接器要适用于各种平台，因此所有在转换区工作的连接器都应该具有其相应队列的属性，这些属性保证板卡与背板的正确匹配。

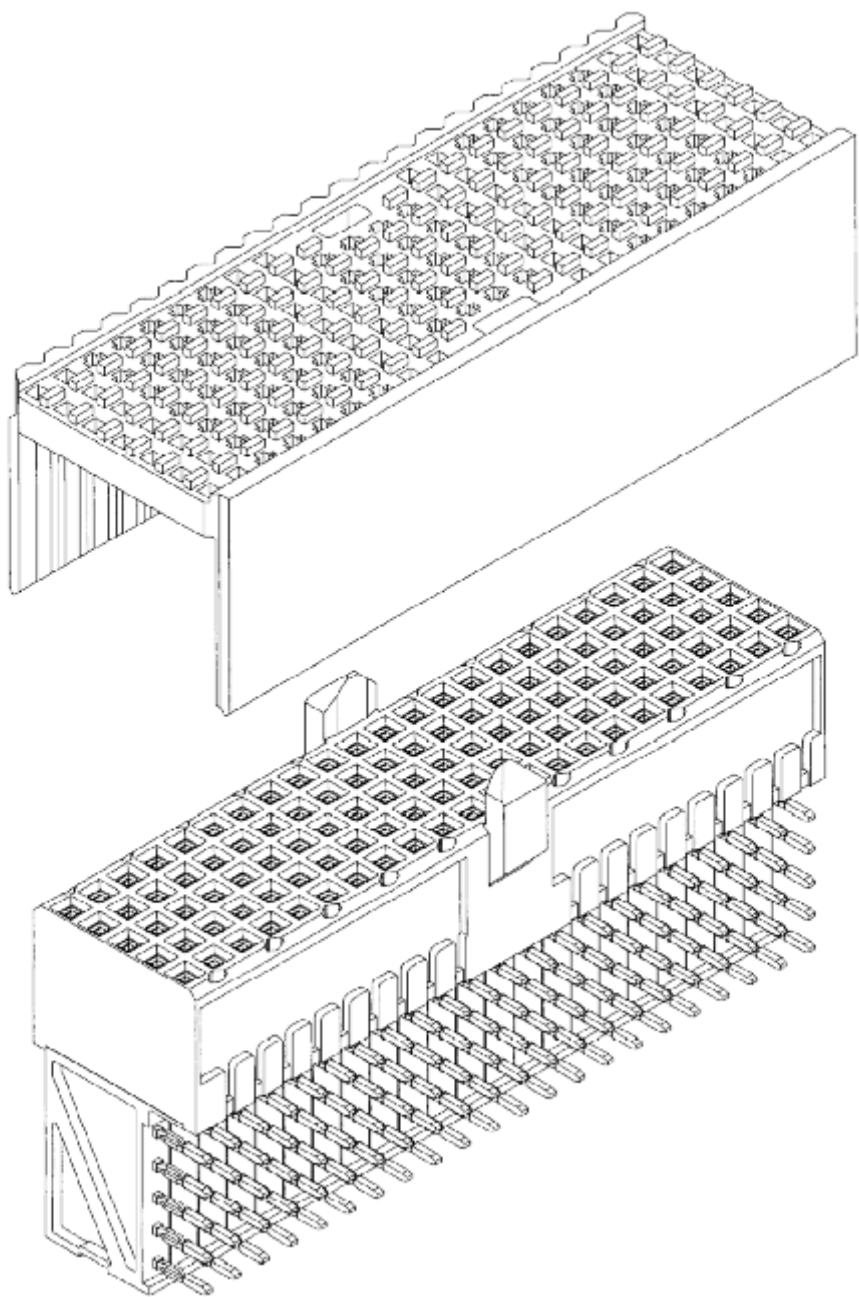
B.3.3 后面板兼容性的衰退

按照技术手册向下兼容的规律，随着遵循CPCI手册3.X及其以上版本的连接器投入运行，符合CPCI手册2.X及其以下版本的后面板上连接器也应该已经进入系统。但是，基于CPCI手册3.X及其以上版本的连接器却难以插入正在运行着的符合CPCI手册2.X及其以下版本的连接器的系统。这就要求类型B连接器和类型AB连接器需要一定的兼容性。在CPCI手册3.X及其以上版本的技术手册里，类型AB的连接器的专门用于rP2/rP3/rP5和rJ2/rJ3/rJ5区域，以保证任何用于背板的连接器整合都需要一个队列属性。而在CPCI手册2.X及其以下版本的技术手册里，类型B的连接器的专门用于rP2/rP3/rP5和rJ2/rJ3/rJ5。类型AB的连接器的兼容性因为类型B刚好合适角度的插槽而下降了，然而，类型B的连接器的兼容性并没有因为类型AB搞好合适的插槽而衰退。

2mmAB型连接器系统

简介

有关选用B类型连接器的后传输板的使用资料，可以参见IEC61076—4—101 2mm连接器的说明书。为了给无向导连接器的匹配提供相应的队列，A类型连接器的扩展属性修改并整合了B类型连接器。匹配的结果提供了无信号耗损的A类型队列以及向导。



图A—1

连接器的配置

符合IEC IEC61076—4—101标准的2mmAB型连接器应该按照图A1至A4所示进行配置。系统有三个部分，第一部分是后部管脚的防护罩，这个防护罩用于传输背板至后面板上的连接器管脚信号。第二部分是一个直角形状的板卡连接器，该连接器为设计用于AB型连接器与AB型防护罩之间的匹配。第三部分是一个预先装配好的固定于板卡上的连接器。

扩展AB型向导的特性十分类似于IEC IEC61076—4—101标准的A型连接器的特性。该特性设计为后传输模型提供预匹配向导和队列，特别是对于只有B型连接器的后传输模型尤为适用。这些特征可以成功地为具有附加连接器的后传输模型提供向导，即使这些附加的连接器中包含有A类模型。

连接器的命名

建议对新连接器的命名规则采用AB类型。这种命名规则整合了A类型和B类型的命名特点，并得到了IEC 61076-4-101手册的认可。新型的连接器家族将有三个部分，不包括管脚的长度等。这三个部分是：

- AB型的防护罩
- AB型的管脚顶部
- AB型直角插槽连接器

推荐的挂载方法

AB型连接器部件的挂载方式与其它的IEC IEC61076—4—101连接器相同。

等级和特性

所有等级和特性都应该与IEC61796—4—101标准一致。

技术数据

除了图A2至A4所示之外，所有的定义，风格，变量和应用信息应该符合IEC61076—4—101标准。

尺寸规格

图A2至A4示出了AB型防护罩，管脚头部和插槽连接器的详细规格参数。这些参数不受符合IEC IEC61076—4—101标准的A型连接器和B型连接器之间整合的影响。

匹配信息

B型插槽连接器可以与固定在板卡上的AB型管脚连接器相匹配。A型插槽则不能与AB型管脚连接器相匹配。匹配误差可以参考IEC61076—4—101标准。

附件

编码设备不能用于IEC61076—4—101标准的AB型连接器。

电气特性

所有的电气特性可以参考IEC61076—4—101标准。

机械特性

所有的机械特性同样可以参考IEC61076—4—101标准。

应用的附加装置

该装置为使A型插槽连接器能够用于AB型插槽连接器而设计。这个设计能够清除A型连接器的向导属性特征，则该附加装置也可以用于B型插槽连接器。一些生产商提供的插槽附加装置可以同时适用于A型和B型插槽连接器。也可以用印刷电路板的AB型插槽连接器。

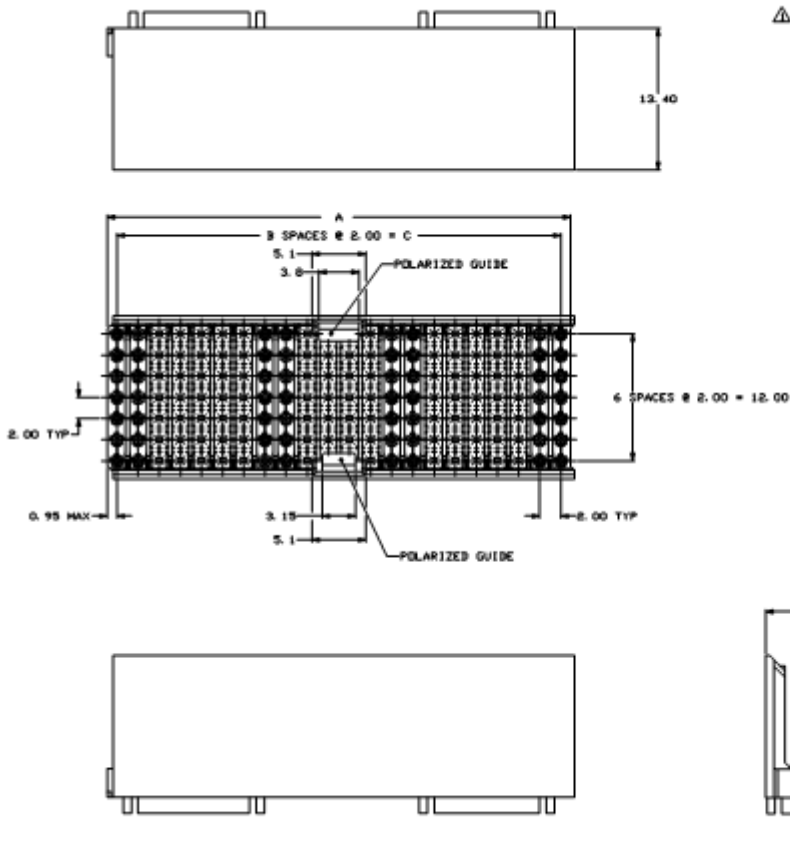
该附加装置为印刷电路板提供的AB型管脚头不同于A型和B型的管脚头，并且专为A型和B型的管脚头设计的附加装置不能用于AB型管脚头。

测试安排

所有的测试安排可以参考IEC61076—4—101标准。

质量评估

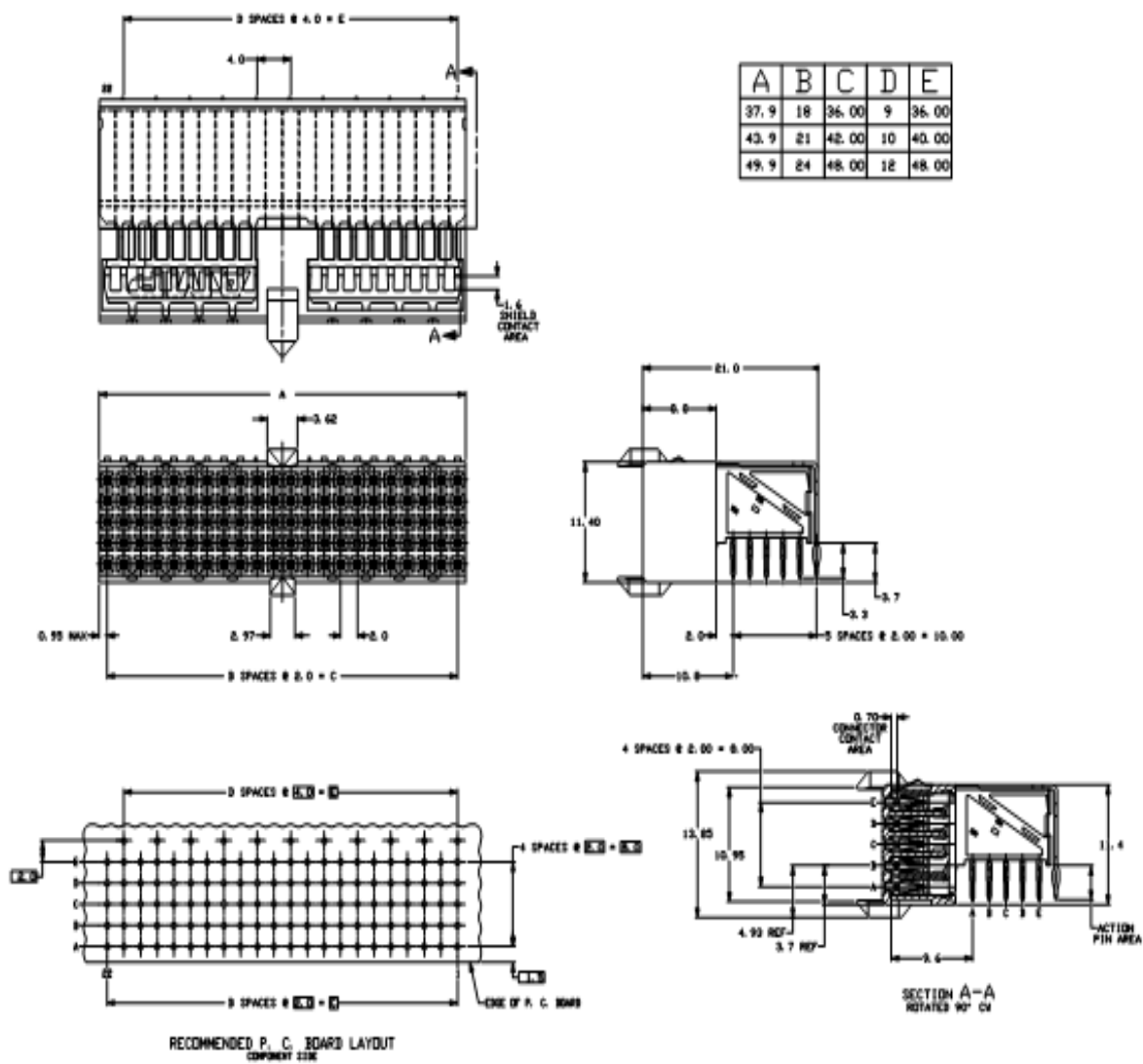
质量评估的方式应该参考IEC61076—4—101标准。



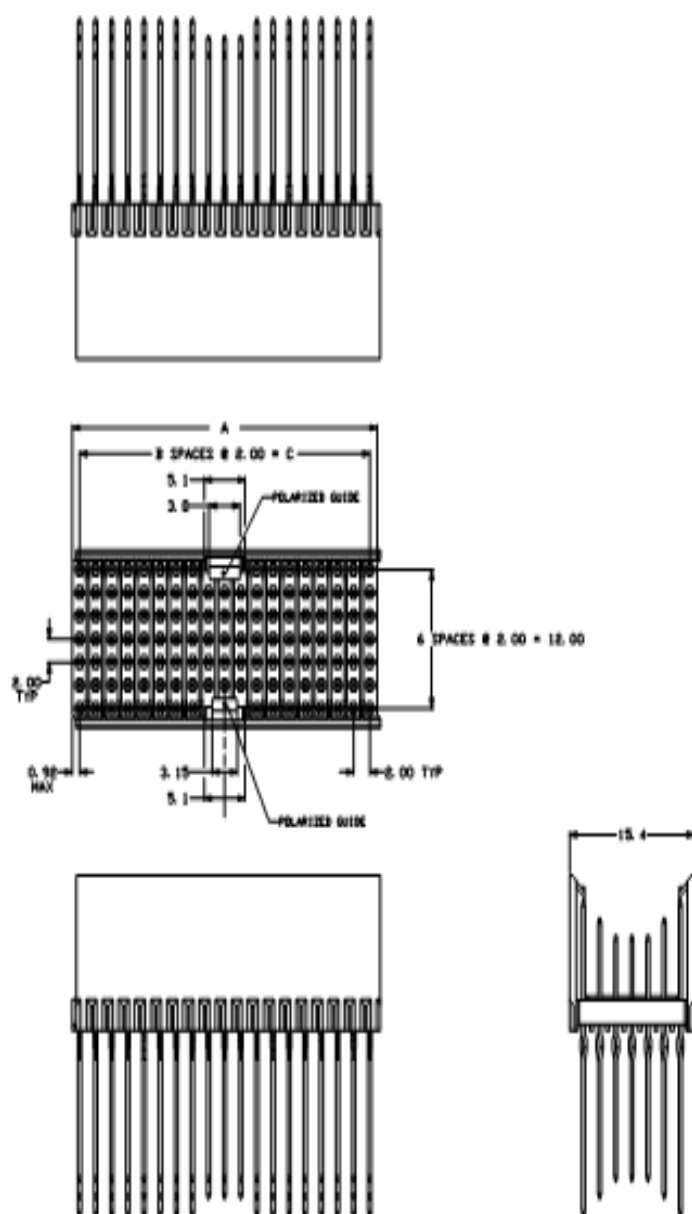
△ DIMENSION WILL VARY WITH BACKPLANE THICKNESS.

A	B	C
37.9	18	36.00
43.9	21	42.00
49.9	24	48.00

图A-2



图A—3



图A-4