

版本: V1.00

PCIE-AFDX 内嵌模块 用户使用手册

CLV-31A1M



成都科洛威尔科技有限公司

地址: 成都市郫都区现代工业港港中路188号1栋

TEL: 1878-0222-336 191-3621-6517

EMAIL: clovertech@163.com 公司官网: www.clvtech.net

声明

本手册中介绍的产品（包括硬件、软件和手册本身）的版权归成都科洛威尔科技有限公司所有，且保留所有权利。用户对产品的购买并不代表用户获得版权的许可，未经本公司授权，任何人不得以任何方式复制本手册的任何部分。

本手册所包含的内容如有更改，恕不另行通知。

目录

声明	1
目录	2
图目录	3
表目录	3
版本说明	4
范围	5
1. 概述	6
1.1. 模块描述	6
1.2. 模块特点	6
1.3. 原理框图	7
1.4. 模块功能	7
1.5. 技术规格	9
1.6. 工作环境	10
1.7. 操作系统	10
2. 机械结构	10
3. 模块接口	11
3.1. 连接器型号	11
3.2. 连接器定义	11
4. 状态指示灯说明	13
5. 硬件连接及线缆	13
5.1. 接口连接	13
5.2. 推荐线缆	14
6. 使用说明	14
6.1. 底板设计建议	14
6.2. 通用使用说明	14
附录 A-数据数据包格式	17
附录 B-网络接口与通道关系	18
附录 C-VL 总线带宽限制	18

图目录

图 1	内嵌模块外观图	6
图 2	原理框图	7
图 3	结构尺寸图	10
图 4	J1 连接器定义	11
图 5	J2 连接器定义	12
图 6	板载 LED 位置示意图	13
图 7	硬件接口连接示意图	14
图 8	AFDX 数据帧格式	17
图 9	网络接口和通道	18

表目录

表 1	接收模式区别	8
表 2	LED 状态指示灯定义表	11
表 3	LED 状态指示灯定义表	12
表 4	板载 LED 状态指示灯定义表	13

版本说明

V1.0

初始版本。

范围

用户手册对 PCIE-AFDX 内嵌模块的功能、性能、参数指标进行说明，并提外部接口定义、机械尺寸，用户可以通过本手册了解内嵌模块使用的基本条件和方法。

本文档适用于成都科洛威尔科技有限公司生产的 PCIe 总线的 AFDX 内嵌模块，即板卡型号为 CLV-31A1M。

除《用户手册》外，我们还提供《快速使用手册》、《API 函数使用手册》等相关文档，用户可以通过这些文档了解必要的使用或者开发信息。

1. 概述

1.1. 模块描述

CLV-31A1M 是一款基于 PCIe 总线接口的 AFDX/ARINC-664 Part7 (Avionics Full Duplex Switched Ethernet 航空电子全双工交换以太网) 的 ES 端系统内嵌模块。单个模块提供 2 个以太网接口, 可支持 1 个双冗余 ES 系统或者 2 个单网口 ES 系统。可用于 AFDX/ARINC-664 总线协议的仿真和测试。

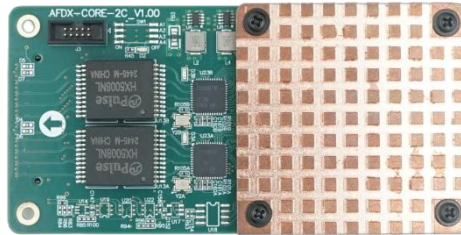


图 1 内嵌模块外观图

1.2. 模块特点

- 超小尺寸 (100×50mm, 长×宽), 可满足小型化应用
- 单 5V 电源供电
- PCIe2.0 总线
- 采用高可靠性 SOLC 堆叠连接器
- 符合 AFDX/ARINC-664 Part7 规范
- 硬件实现协议收发
- 2 个 1000M/100M/10M 以太网端口
- 支持冗余和独立工作模式, 支持 1 个双冗余通道或 2 个独立通道
- 最大支持 2048 个接收 VL 和 2048 个发送 VL
- 每个 VL 支持 4 个子 VL 端口
- 支持取样端口(Sampling), 队列端口(Queuing), 服务访问端口(SAP)
- 支持 EDE (Boeing) 功能
- 支持 64bit 时间错
- 可选外部 IRIG 时间源 (选配)
- 支持 VL 接收, VL 监控, 顺序监控三种接收模式
- 支持硬完整性和冗余性检测

- 冗余接收时能够设置可变的 skew 参数
- 支持可编辑的 VL 过滤表
- 支持容错接收
- 支持 VL 消息刷新率监控
- 支持消息解析和故障提示
- 支持硬件自动 BAG（1~128ms）发送
- 支持多种 BAG 调度发送模式
- 支持扩展自定义最小 BAG 时间（100us~1ms）
- 冗余发送支持 A/B 网络 skew 模拟
- 支持多 buffer 发送
- 支持故障注入
- 支持多种中断方式
- 每通道最大 32MB 收发内存
- 支持 DMA

1.3. 原理框图

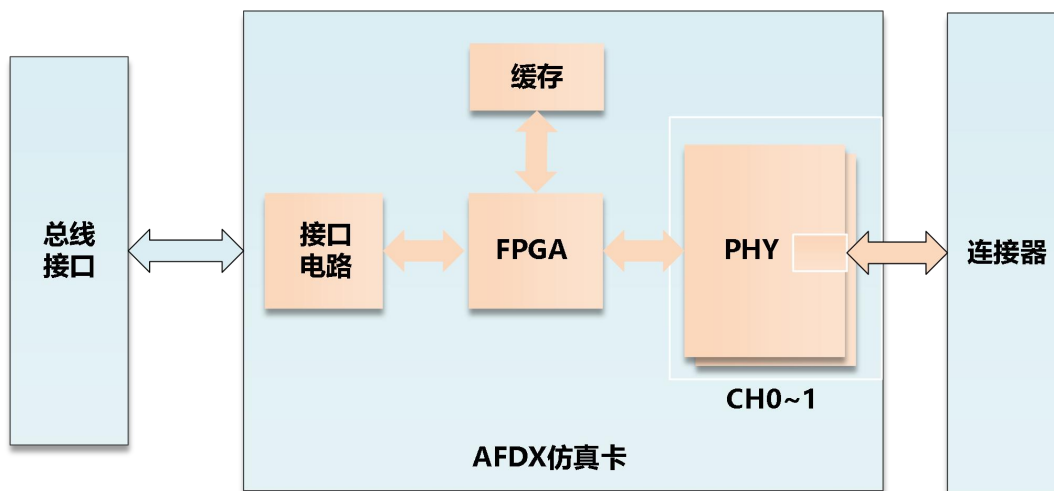


图 2 原理框图

1.4. 模块功能

1.4.1. 接收功能

AFDX 内嵌模块为了便于总线仿真、测试，适应多种测试工况，提供了三种不同的接收模式。分别为 VL 接收模式、VL 监控模式以及顺序监控模式。

VL 接收模式 (VL-MODE)：按照预先创建的 VL 参数进行接收（即按照 VLID、端口地址进行接收）。该种模式下能够支持采样(sampling)、队列 (Queuing)、服务访问 (SAP) 三种不同的端口接收，队列端

口和服务端口能够创建多个 buffer 进行接收，接收的数据会根据端口存放，用户可通过对应的 VL 参数进行数据访问。该模式适用于绝大多数仿真和测试应用。

VL 监控模式（VL-Monitor-MODE）：按照预先创建的 VL 参数进行接收（仅根据 VLID 值），该模式下将符合 VLID 的数据进行顺序监控和存储。该模式适合用于关心指定 VL 链路的数据，而不关心具体数据目标端口的情况。

顺序监控模式（SEQ-Monitor-MODE）：无需创建 VL 参数，监控总线上所有 VL 的数据，接收到的数据按照接收的先后顺序进行存放。该模式常作为总线监控功能时使用。

表 1 接收模式区别

功能	VL 模式	VL 监控模式	顺序监控模式
创建 VL 参数	是	是	否
创建子 VL 参数	是	否	否
VL 过滤表编辑	否	否	是
数据存放方式	按端口存放	按 VL 顺序存放	顺序存放

VL 接收模式和 VL 监控模式

- 最大可创建 2048 个 VL
- 每个 VL 支持 4 个子 VL 端口
- 支持采样端口(Sampling)，队列端口(Queuing)，服务访问端口(SAP)
- 接收模式：冗余接收，仅 NETA,仅 NETB，NETA 和 NETB
- 冗余接收时支持可调整的 SKEW 参数
- 根据目标 VL ID 和端口地址接收数据
- 多倍缓冲 BUFFER 接口
- 支持 EDE（Boeing）校验功能
- 错误检测
- 支持中断，每条 VL 可单独使能中断

顺序监控模式

- 可编辑的 VL 过滤表
- 接收模式：仅 NETA，仅 NETB，NETA 和 NETB
- 错误检测

1.4.2. 发送功能

- 最大可创建 2048 条 VL

- 每个 VL 支持 4 个子 VL 端口
- 支持扩展自定义最小 BAG 时间，范围 100us~1ms（最小 BAG 时间需要 $\geq$ VL 个数 $\times$ 0.1us）
- 支持多种 BAG 发送调度模式
- 支持支持取样端口(Sampling)，队列端口(Queueing)，服务访问端口(SAP)
- 循环子链路传输
- 多倍缓冲 BUFFER
- 数据发送策略
 - 循环发送模式
 - 仅发送新数据模式
- 数据发送网络：
 - 仅 NETA
 - 仅 NETB
 - NETA 和 NETB 同时发送
- 冗余发送时支持 NETA/B 网络 skew 模拟
- 支持 EDE（Boeing）功能
 - EDE 头产生方式可设置
 - 尾部校验方式可设置
 - 非 IP 分包时支持硬件 EDE 校验添加
- 错误插入
 - 每条 VL 均可插入错误
 - 错误插入类型：SN 序号错误，CRC 错误，长度错误，MAC 源地址错误，IPChecksum 错误，碎片长度错误，CRC 错误，UDP 地址错误，IP 地址错误
- 发送中断
 - 中断类型：单个数据包中断、半 buffer 中断，满 buffer 中断
 - 每条 VL 可单独使能中断

1.5. 技术规格

- 总线：
 - AFDX-PCle-xx： PCle2.0x1 总线
- 重量： $\leq 35\text{g}$ （不含散热器，含标配散热器时 $\leq 100\text{g}$ ）
- 尺寸：100x50x14.5mm（ $\pm 0.2\text{mm}$ ）
- 供电：5VDC（ $\pm 5\%$ ）

- 功耗：
 - $\leq 5W$ (5V@1A, @25°C) ;
- 板载缓存：
 - 256MB 缓存

1.6. 工作环境

- 工作温度
 - -20°C~+55°C (常温级)
 - -40°C~+75°C (宽温级)
- 存储温度：-40°C~+85°C
- 湿度：5%~95% (不凝露)

1.7. 操作系统

- 支持 Windows7/windows10
- 支持 Linux (可选)
- 支持中标麒麟(可选)
- 支持天脉操作系统(可选)
- 支持 VxWorks (可选)

2. 机械结构

AFDX 内嵌模块物理尺寸为：100x50x14.5mm ($\pm 0.2mm$)。

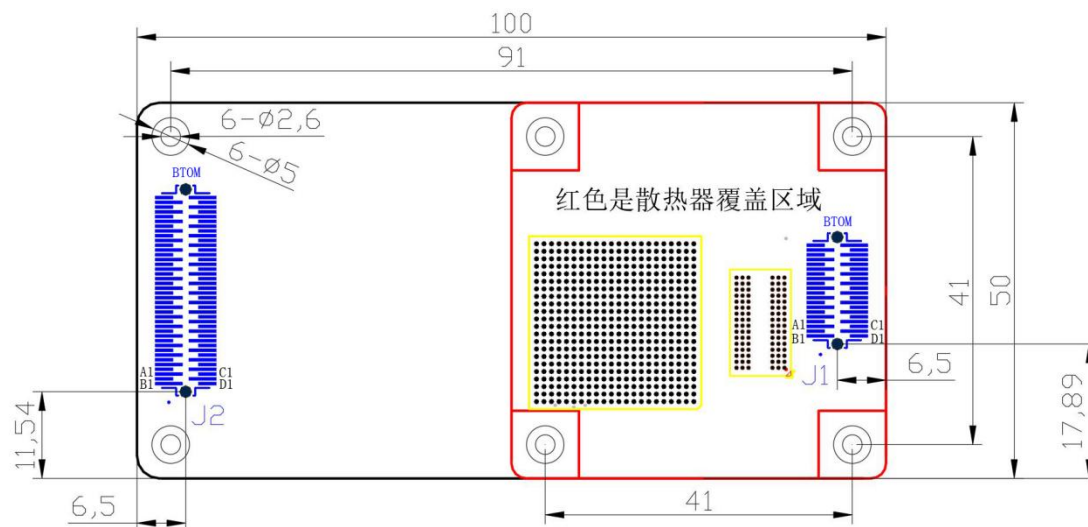


图 3 结构尺寸图

内嵌模块总高度=14.45 $\pm$ 0.2mm，其中板间连接器嵌合高度 6.35mm、PCB 板厚 1.6mm、模块正面器件高度 6.5mm。

3. 模块接口

模块提供两个板对板连接器 J1 和 J2，其中 J1 为 AFDX 网络信号接口、J2 为 PCIE 信号和供电接口。

3.1. 连接器型号

表 2 LED 状态指示灯定义表

	连接器型号（内嵌模块）	对应连接器型号（底板）
J1	SOLC-110-02-L-Q-A	TOLC-110-02-L-Q-A
J2	SOLC-120-02-L-Q-A	TOLC-120-02-L-Q-A

3.2. 连接器定义

3.2.1. J1 连接器定义：

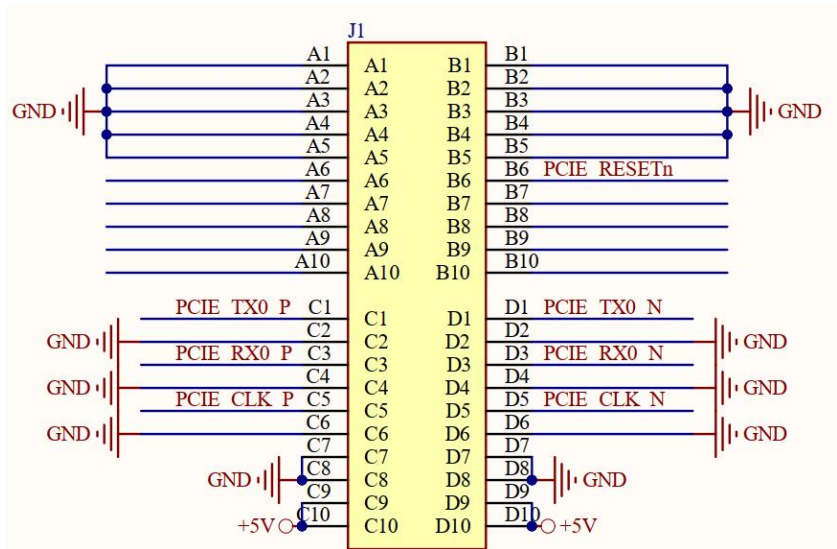


图 4 J1 连接器定义

信号描述：

- PCIE_TX0_P/N：PCIE 差分对 TX 正/负端（PCIE-Root 端视角）；
- PCIE_RX0_P/N：PCIE 差分对 RX 正/负端（PCIE-Root 端视角）；
- PCIE_CLK_P/N：PCIE-100M 差分时钟；
- PCIE_RESETn：PCIE 复位信号；
- +5：模块+5V 工作电源；
- GND：地信号；
- NC：预留信号，保持悬空，请勿使用。

3.2.2. J2 连接器定义：

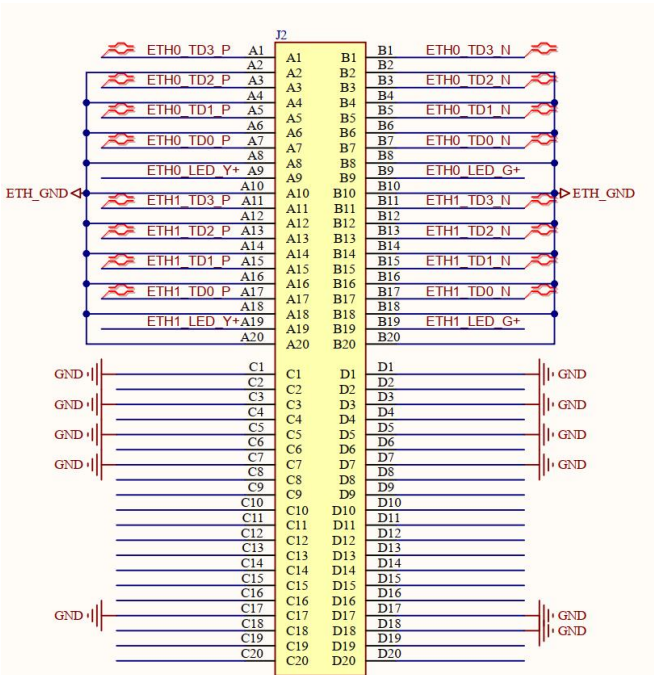


图 5 J2 连接器定义

信号描述：

ETH0_TDn_P/N：网络接口 0(NET0)差分信号正/负端；

ETH1_TDn_P/N：网络接口 1(NET1)差分信号正/负端；

ETH_GND：网络接口连接器屏蔽层；

GND：地信号；

NC：预留信号，保持悬空，请勿使用。

ETH0_LED_Y/G+：网络接口 0 黄色/绿色指示灯信号正端，负端接 GND，可驱动 3V 指示灯；

ETH1_LED_Y/G+：网络接口 1 黄色/绿色指示灯信号正端，负端接 GND，可驱动 3V 指示灯；

每路网络接口均提供一个绿色和一个黄色 LED 指示灯控制信号，可驱动 3V LED 指示灯，信号已串入有限流电阻，使用时将 ETHn_LED_Y/G+、GND 分别接 LED 正、负端即可。指示灯定义见下表：

表 3 LED 状态指示灯定义表

LED	LED 状态	定义
黄色 ETHn_LED_Y	熄灭	端口链接未建立
	常亮	端口链接已建立
	闪烁	有数据收/发

绿色 ETHn_LED_G	熄灭	千兆链接未建立
	常亮	千兆链接已建立

4. 状态指示灯说明

模块提供 3 个板载指示灯分别为 D2、D3A、D3B。用于指示供电状态、网络接口 0 工作状态和网络接口 1 工作状态指示，指示灯位置如下图所示。

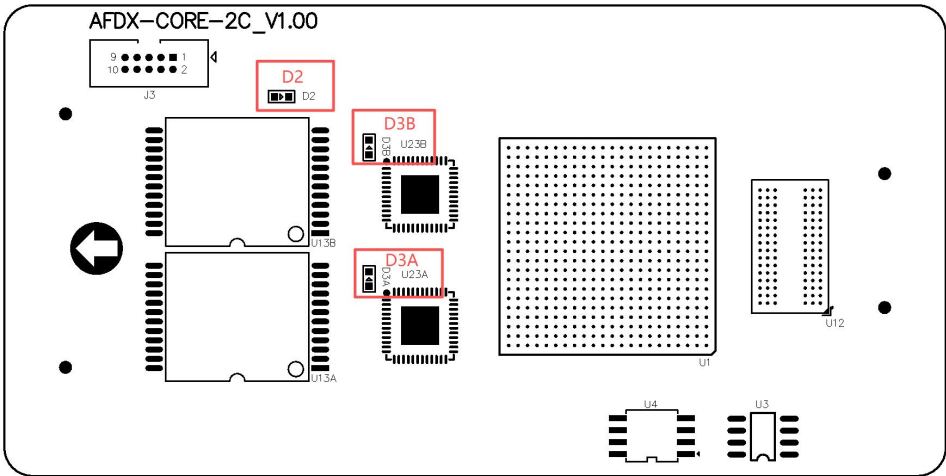


图 6 板载 LED 位置示意图

表 4 板载 LED 状态指示灯定义表

LED	LED 状态	定义
D2	熄灭	模块电源断开
	常亮	模块电源已接通
D3A	熄灭	NET0 链接未建立
	常亮	NET0 链接已建立
	闪烁	NET0 数据收/发
D3B	熄灭	NET1 链接未建立
	常亮	NET1 链接已建立
	闪烁	NET1 数据收/发

5. 硬件连接及线缆

5.1. 接口连接

当模块工作在冗余模式时需要将冗余通道的 NETA（NET0）和 NETB（NET1）网络分别接入对应设备的 NETA 和 NETB 网络；当模块工作在独立模式时将通道接入对应设备的 NETA 或 NETB 网络。接

口连接示意图如下。

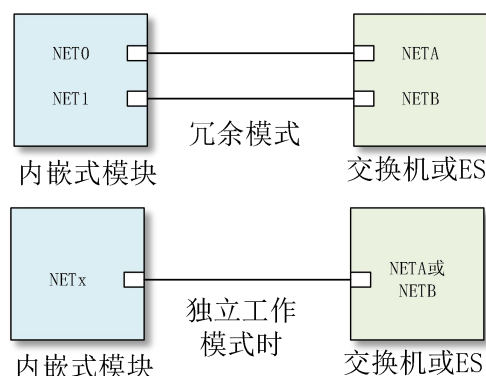


图 7 硬件接口连接示意图

通道和网络接口的对应关系和参见附录 B 以及《快速使用手册》中关于 NETA/B 网络的说明。

5.2. 推荐线缆

外部线缆推荐使用 CAT5 及以上规格的双绞网线。

6. 使用说明

6.1. 底板设计建议

1. AFDX 内嵌模块为单电源供电的完整功能内嵌模块，用户仅需设计对应的电源、总线信号以及网络接口信号即可；
2. 底板设计可参见《底板参考原理图》；
3. PCIE 参考时钟需要采用 100 欧差分阻抗设计；
4. PCIE_RX/TX 信号需要采用 100 欧差分阻抗设计，且保证连续参考平面；
5. 以太网信号需要采用 100 欧差分阻抗设计。

6.2. 通用使用说明

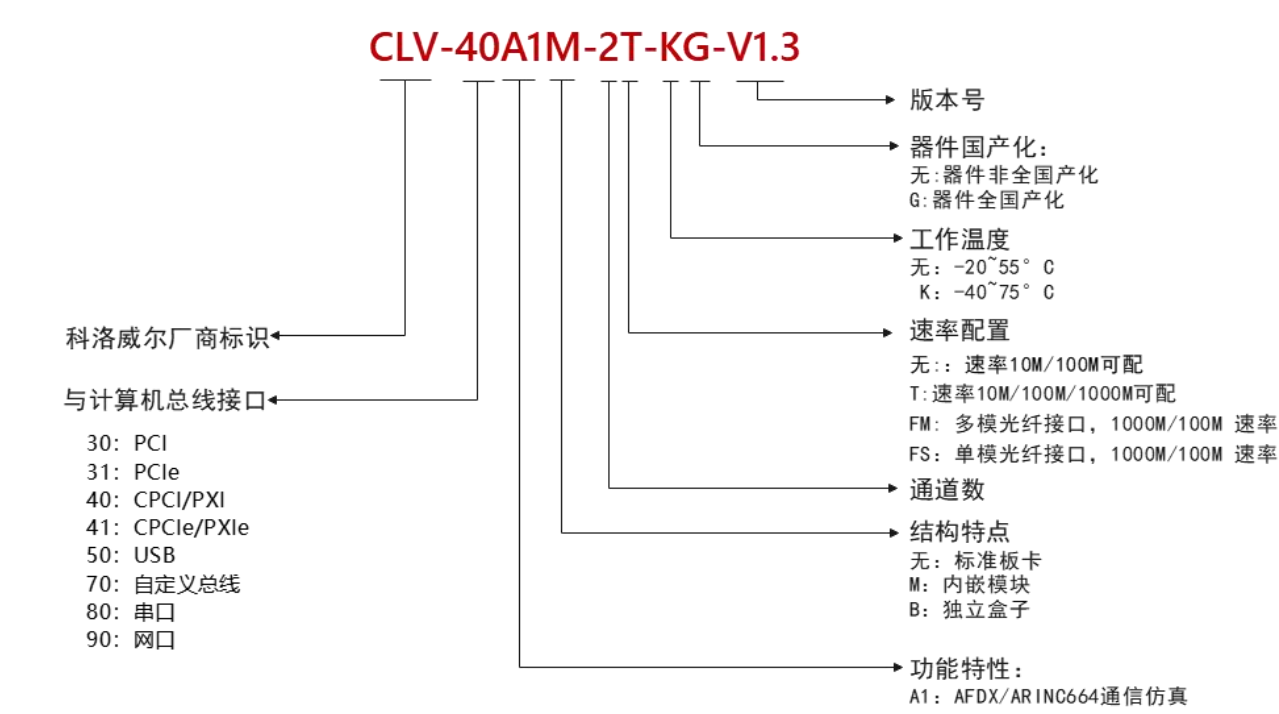
您可以使用我们提供的控制台 demo 软件或者总线仿真软件实现模块的各功能，包括工作模式选择，VL 创建，消息发送，消息接收等。在使用前需要安装硬件板卡、驱动和相应的软件，具体内容可参见《快速使用手册》。

如果您需要使用 PCIE-AFDX 内嵌模块进行软件二次开发，那么可以参见《AFDX 仿真卡 API 函数使用手册》。

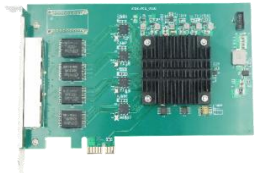
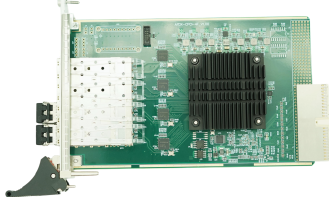
另外在使用板卡时，您可能需要对一些基本的 AFDX（或

ARINC-664）总线的知识进行了解。您可以通过《快速使用手册》中的相关章节进行了解，也可以阅读相关协议标准。

7. 选型指南



8. 选型示例

板卡型号	总线类型	参数配置	实物图
CLV-31A1-4T-V1.00	PCle 总线	4 个网口，速率支持 10M, 100M, 1000M, 3U 标准卡，工作温度 -20~55℃，器件非国产化，版本 V1.00	
CLV-41A1-4T-KG-V1.00	CPCle 总线	4 个网口，速率支持 10M, 100M, 1000M, 3U 标准卡，工作温度 -40~75℃，器件全国产化，版本 V1.00	
CLV-40A1-4-V1.00	CPCI 总线	4 个网口，速率支持 10M, 100M, 3U 标准卡，工作温度 -20~55℃，器件非国产化，版本 V1.00	
CLV-50A1B-4T-V1.00	USB 总线	4 个网口，速率支持 10M, 100M, 1000M, 独立盒子，工作温度 -20~55℃，器件非国产化，版本 V1.00	
CLV-31A1M-2T-KG-V1.00	PCle	2 个网口，速率支持 10M, 100M, 1000M, 内嵌模块，工作温度 -40~75℃，器件全国产化，版本 V1.00	
CLV-40A1-4FM-V1.00	CPCI 总线 光口	4 个光口，速率支持 100M, 1000M, 内嵌模块，工作温度 -20~55℃，器件非国产化，版本 V1.00	

附录 A-数据数据包格式

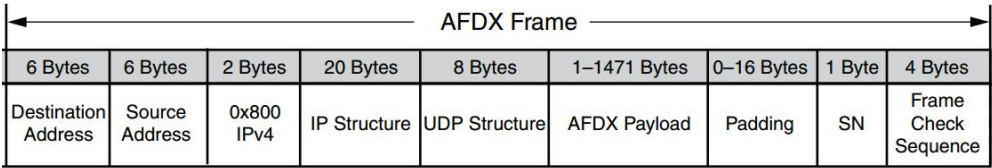


图 8 AFDX 数据帧格式

附录 B-网络接口与通道关系

内嵌模块中提及的通道即为 AFDX 中的 ES 端系统收发接口，即 ES 通道。

内嵌模块最多支持 2 个以太网接口（分别为 NET0~1），支持冗余工作模式和独立工作模式。如果工作在冗余模式时，将由两个以太网接口组成一个 ES 冗余通道。如果工作在独立工作模式时，那么单个网口也可以成为一个 ES 通道（此时该通道将不具备冗余功能）。网络接口和通道关系如下图所示。

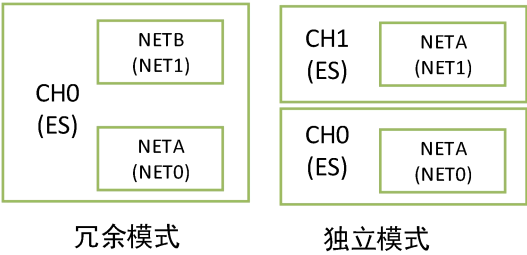


图 9 网络接口和通道

当工作在冗余模式时，由两个网络接口（NETA 和 NETB）组成一个冗余通道。如上图所示的冗余模式的 CH0，在该模式下网口 NET0/NET1 将组成通道 0，其中 NET0 作为 NETA，NET1 作为 NETB。网络接口与通道号关系如下表所示。

通道模式与通道号关系		
网络接口	冗余模式	独立模式
NET0	CH0-NETA	CH0
NET1	CH0-NETB	CH1

当工作在独立通道模式时，通道将不具备冗余功能，以及 NETA/B 网络相关的功能，默认按 NETA 网络进行收据收发。

附录 C-VL 总线带宽限制

虽然模块在 VL 模式下最多支持 2048 条接收和发送的 VL 创建，但是这并不意味在任何条件下都能创建 2048 条 VL。

限制创建最大 VL 的条件有 2 个：

- 1) 创建的所有的 VL 的带宽不能超过当前网络的带宽的总和。带宽计算方式可参见《API 软件参考手册》中的附录 B。
- 2) 用户创建的 VL 的数据带宽不能超过模块随机读写缓存带宽总

和。下表列出了仅接收和仅发送时满足读写带宽的典型应用范围。

◆ 仅发送时：

可设置的最小 BAG 值	
1 通道	32
2 通道	32
测试条件：VL 数量=2048 条，Lmax=1518，链接速度 1Gbps 时，单个发送 buffer，sendcycle 模式，发送模式为调度模式 4，上位机不实时更新数据。	

可设置的最大 VL 数量	
1 通道	64
2 通道	64
测试条件：BAG=1ms，Lmax=1518，链接速度 1Gbps 时，单个发送 buffer，sendcycle 模式，发送模式为调度模式 4，上位机不实时更新数据。	

BAG=1ms 时，实时更新发送数据可设置的最大 VL 数量	
1 通道	32
2 通道	16
测试条件：BAG=1ms，Lmax=1518，链接速度 1Gbps 时，128 个发送 buffer，buffersize=1024，sendocne 模式，采用更新多条消息方式，发送模式为调度模式 4，上位机实时更新数据，保证 1ms 连续更新。	

◆ 仅接收时：

VL 模式下，读取不丢包允许创建的最大 VL 数量	
1 通道	2048
2 通道	2048
测试条件：数据长度 1518 字节，发送端 bag=128ms（带宽均衡发送时），链接速度 1Gbps 时，8 个接收 buffer，仅读取数据不做数据处理。 计算机配置：win11 64bit，AMD Ryzen 7 8845H，32G 内存。 注意：接收 VL 总是能最大创建 2048 条 VL，以上测试结果仅表示多条 VL 同时读取时数据包不丢失的情况。	

VL 模式下，读取不丢包允许创建的最大 VL 数量	
1 通道	64
2 通道	32
测试条件：数据长度 1518 字节，发送 bag=1ms（带宽均衡发送时），链接速度 1Gbps 时，128 个接收 buffer，仅读取数据不做数据处理。 计算机配置：win11 64bit，AMD Ryzen 7 8845H，32G 内存。 注意：接收 VL 总是能最大创建 2048 条 VL，以上测试结果仅表示多条 VL 同时读取时数据包不丢失的情况。	

突发带宽风暴时，允许最大缓存帧数据	
1~2 通道	每通道 64 帧
总线突发带宽风暴是指总线上的数据包和数据包之间没有任何间隙，即所有数据帧全部背靠背的方式进入接收端口。 如果总线风暴持续超过 64 包后，接收端硬件将会进行流量控制，此时硬件不保证在突发风暴持续时间内能接收到所有数据包。待突发风暴结束后，可恢复正常接收。	